

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Kenichi WATANABE**

Serial No.: **Not Yet Assigned**

Filed: **July 21, 2003**

For. **SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: July 21, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-223343, filed July 31, 2002

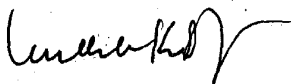
In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP



William G. Kratz, Jr.
Reg. No. 22,631

WGK/ll
Atty. Docket No. 030877
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 7月31日

出 願 番 号
Application Number:

特願2002-223343

[ST.10/C]:

[JP2002-223343]

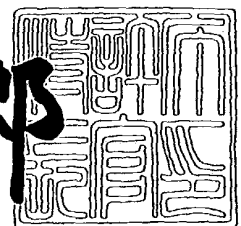
出 願 人
Applicant(s):

富士通株式会社

2002年12月10日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3097052

【書類名】 特許願

【整理番号】 0240941

【提出日】 平成14年 7月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 渡邊 健一

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100087479

【弁理士】

【氏名又は名称】 北野 好人

【選任した代理人】

【識別番号】 100114915

【弁理士】

【氏名又は名称】 三村 治彦

【手数料の表示】

【予納台帳番号】 003300

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0012600

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 基板上に形成され、少なくとも表面側に第 1 の配線層が埋め込まれた第 1 の絶縁膜と、

前記第 1 の配線層が埋め込まれた前記第 1 の絶縁膜上に形成された第 2 の絶縁膜と、

前記第 1 の配線層上の前記第 2 の絶縁膜に形成され、直角方向に屈曲する溝状のパターンを有する溝状ビアと、

前記溝状ビアに充填された第 1 の埋め込み導電体とを有することを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、前記溝状ビアは、前記パターンの屈曲部の幅が直線部の幅以下であることを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、前記溝状ビアは、前記パターンの屈曲部において 90 度よりも大きい角度で複数回に分けて曲げられていることを特徴とする半導体装置。

【請求項 4】 基板上に形成され、少なくとも表面側に直角方向に屈曲するパターンを有する第 1 の配線層が埋め込まれた第 1 の絶縁膜と、前記第 1 の配線層が埋め込まれた前記第 1 の絶縁膜上に形成された第 2 の絶縁膜と、

前記第 1 の配線層上の前記第 2 の絶縁膜に形成され、溝状のパターンを有する溝状ビアと、

前記溝状ビアに充填された第 1 の埋め込み導電体とを有し、

前記溝状ビアは、前記パターンの角部において不連続になっていることを特徴とする半導体装置。

【請求項 5】 請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置において

前記第 1 の配線層上の前記第 2 の絶縁膜に形成された孔状ビアと、
前記孔状ビアに充填された第 2 の埋め込み導電体とを更に有する
ことを特徴とする半導体装置。

【請求項 6】 請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置において

前記第 1 の配線層上の前記第 2 の絶縁膜に形成され、複数の溝が隣接して設け
られた溝状ビアパターンを有し、前記溝状ビアパターンの少なくとも一部が前記
溝状ビアにより構成されている
ことを特徴とする半導体装置。

【請求項 7】 請求項 6 記載の半導体装置において、
前記溝状パターンの最外周に前記溝状パターンが形成されている
ことを特徴とする半導体装置。

【請求項 8】 請求項 6 又は 7 記載の半導体装置において、
前記溝状ビアパターンは、前記第 1 の配線層の一のパターン上に形成されてい
ることを特徴とする半導体装置。

【請求項 9】 基板上に形成され、少なくとも表面側に第 1 の配線層が埋め
込まれた第 1 の絶縁膜と、前記第 1 の配線層が埋め込まれた前記第 1 の絶縁膜上
に形成され、前記第 1 の配線層上に開口された溝状ビア及び孔状ビアを有する第
2 の絶縁膜とを有する半導体装置の製造方法であって、

前記第 2 の絶縁膜に前記溝状ビア及び前記孔状ビアを形成する際に、前記溝状
ビアの設計デザイン上における幅が、前記孔状ビアの設計デザイン上における幅
よりも狭いマスクパターンを用い、前記孔状ビア及び前記溝状ビアを形成する
ことを特徴とする半導体装置の製造方法。

【請求項 10】 基板上に形成され、少なくとも表面側に第 1 の配線層が埋
め込まれた第 1 の絶縁膜と、前記第 1 の配線層が埋め込まれた前記第 1 の絶縁膜
上に形成され、前記第 1 の配線層上に開口された溝状ビア及び孔状ビアと、前記
溝状ビア及び前記孔状ビアのそれぞれに埋め込まれた埋め込み導電体とを有する
第 2 の絶縁膜とを有する半導体装置の製造方法であって、

前記埋め込み導電体を形成する際に、前記溝状ビアの最大幅を考慮して、前記

埋め込み導電体となる導電膜の堆積膜厚を設定し、前記孔状ビア及び前記溝状ビアを前記埋め込み導電体により充填する

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に係り、特に、絶縁膜に形成された孔状パターンや溝状パターンに導電体が埋め込まれてなる構造を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

半導体装置の大規模高集積化に伴い、配線の設計ルールも世代と共に縮小化されている。従来、配線層は、配線材料を堆積した後、リソグラフィ及びドライエッチングを用いてパターンニングすることにより形成されてきたが、世代が進むにつれて技術的な限界が生じ始めている。このため、従来の配線層の形成プロセスに代わる新たな形成プロセスとして、層間絶縁膜に溝パターンやホールパターンを形成した後、この溝やホールに配線材料を埋め込む、いわゆるダマシンプロセスと呼ばれる手法が利用されつつある。ダマシンプロセスは、反応性エッチングが困難な銅などの低抵抗材料を用いて配線層を形成することも容易であり、微細パターンを有する低抵抗の配線層を形成するうえで極めて有効である。

【0003】

ダマシンプロセスは、通常の配線層への適用をはじめとして、種々の構造体の形成に利用されている。例えば、特開 2 0 0 0 - 1 2 4 4 0 3 号公報には、ダマシンプロセスを用いたインダクタ及びその製造方法が開示されている。

【0004】

次に、ダマシンプロセスを用いた従来の半導体装置について、インダクタを有する半導体装置を例にして説明する。図 3 5 は従来の半導体装置の構造を示す平面図、図 3 6 は従来の半導体装置の構造を示す概略断面図である。なお、図 3 6 は、図 3 5 (b) の A - A' 線断面に沿った断面図を示したものである。

【0005】

基板300上には、エッチングストッパ膜302と層間絶縁膜304とが形成されている。層間絶縁膜304及びエッチングストッパ膜302には、配線溝308が形成されている。配線溝308内には、拡散防止膜310と銅膜312とを有する配線層314が形成されている。

【0006】

配線層314が埋め込まれた層間絶縁膜304上には、エッチングストッパ膜316及び層間絶縁膜318が形成されている。層間絶縁膜318及びエッチングストッパ膜316には、配線層314に達する溝状のビアホール326が形成されている。層間絶縁膜318上には、エッチングストッパ膜320と層間絶縁膜322とが形成されている。層間絶縁膜322及びエッチングストッパ膜320には、配線溝332が形成されている。ビアホール326内及び配線溝332内には、拡散防止膜334と銅膜336とを有し、配線層314に接続された配線層338が形成されている。

【0007】

配線層338が埋め込まれた層間絶縁膜322上には、エッチングストッパ膜340及び層間絶縁膜342が形成されている。層間絶縁膜342及びエッチングストッパ膜340には、配線層338に達する溝状のビアホール348が形成されている。層間絶縁膜342上には、エッチングストッパ膜344と層間絶縁膜346とが形成されている。層間絶縁膜346及びエッチングストッパ膜344には、配線溝350が形成されている。ビアホール348内及び配線溝350内には、拡散防止膜352と銅膜354とを有し、配線層338に接続された配線層356が形成されている。

【0008】

ここで、各配線層314、338、356は、図35(a)に示すように、平面上で螺旋を描くように形成されており、いわゆるスパイラルインダクタを構成している。配線層338、356は、図35(b)に示すように、その延在方向に沿って形成された複数の溝状パターン（ビアホール326、348）に埋め込まれたビア部と、ビア部上に形成された主配線部とを有している。このようにし

て、溝状パターンに埋め込まれたビア部を形成すると共に、配線層を複数積層することにより、配線抵抗の小さいインダクタを構成することができる。

【0009】

【発明が解決しようとする課題】

上述した通り、銅を主体とする配線層を用い、更にこの配線層を積層することにより、配線抵抗の小さいインダクタを構成することができる。その一方、銅配線は従来用いられているアルミ配線よりも腐食性が大きく、また、ワイヤボンディングが困難なため、最上層の配線層としては好ましくない。

【0010】

かかる観点に基づき、本願発明者は、最上層の配線層をアルミ配線とし、このアルミ配線をも用いてインダクタを構成する、新たな構造を検討した。しかしながら、アルミ配線を用いてインダクタを構成した場合、銅配線のみによりインダクタを形成する場合には生じなかった新たな課題が生じることが判明した。

【0011】

図37は、図35のB-B'線断面に沿った概略断面図である。図37に示すように、配線層356の代わりに、ビアホール348に埋め込まれ、バリアメタル層358とタングステン膜360とを有するコンタクトプラグ362と、コンタクトプラグ362が埋め込まれた層間絶縁膜342上に形成され、窒化チタン膜368／アルミ膜366／窒化チタン膜364の積層構造を有する配線層370とを形成した場合、ビアホール348のパターン角部においてコンタクトプラグ362の埋め込み不良が生じることがあった（図37のA部及びB部を参照）。

【0012】

また、溝状のビアホール348が隣接して形成されている場合、最外周のビアホール348のパターン角部において層間絶縁膜342に亀裂が生じることがあった（図37のC部を参照）。また、配線層338においても、ビアホール326のパターン角部において配線層338の埋め込み不良が生じることがあった（図37のD部を参照）。

【0013】

コンタクトプラグの埋め込み不良は、上層に形成する配線層の形成時において、バリアメタル層やアルミ膜の被着性が劣化したり、上層配線の表面に段差が転写したりするなどの原因となる（図37のA部、B部及びE部を参照）。上層配線層の成膜不良は、コンタクトプラグと配線層との接続部に電氣的に弱い部分を生じることとなる。

【0014】

また、層間絶縁膜の亀裂は、下層配線層からの銅の拡散を誘発する原因となる。図37に示す構造の場合、拡散防止膜及びシリコン窒化膜からなるエッチングストoppa膜により銅の層間絶縁膜中への拡散を防止している。しかしながら層間絶縁膜に亀裂が生じると、拡散防止膜及びエッチングストoppa膜による拡散防止効果が劣化する。銅は、一定温度下においてはシリコン酸化膜中を容易に拡散するため、異電位配線が近傍に存在する場合には、配線層間の耐圧劣化を生じる原因となる。また、亀裂部においては銅が界面部分に露出しており、過大な電流が流れるとエレクトロマイグレーション耐性が劣化する原因ともなる。

【0015】

また、コンタクトプラグの埋め込み不良については、半導体基板と第1層配線層とを接続するコンタクトプラグの場合にも同様である。例えば、図38に示すように、不純物拡散層402が形成されたシリコン基板400と、シリコン基板上に順次形成された絶縁膜404、406、408、410と、絶縁膜404、406に埋め込まれバリアメタル層412及びタングステン膜414からなるコンタクトプラグ416と、絶縁膜408、410に埋め込まれ拡散防止膜418及び銅膜420からなる配線層422とを有する半導体装置において、コンタクトプラグ416を溝状のビアホール内に形成した場合、その角部では、図37のA部及びB部におけると同様の埋め込み不良が生じる。

【0016】

また、上記配線構造を適用する場合の課題について、インダクタを例にして説明してきたが、インダクタに適用する場合のみならず、溝状のビアパターンを用いる他の構造体を形成する場合においても同様の不良が発生する。例えば、耐湿リング等に溝状ビアパターンを利用した場合には、上記不良は耐湿性の劣化をも

たらず原因となる。殊に、冗長回路用のヒューズ領域を囲うように配設される耐湿リングでは、亀裂が生じる側がチップの内部側に位置するため、その影響は極めて大きい。

【 0 0 1 7 】

本発明の目的は、絶縁膜に形成された孔状パターンや溝状パターンに導電体が埋め込まれてなる構造を有する半導体装置において、埋め込み導電体の埋め込み不良やこれに伴う絶縁膜の亀裂を防止しうる半導体装置及びその製造方法を提供することにある。

【 0 0 1 8 】

【課題を解決するための手段】

埋め込み導電体の埋め込み不良や層間絶縁膜の亀裂が生じる原因について本願発明者が鋭意検討を行った結果、これら不良は溝状ビアパターンの屈曲部におけるパターンサイズと孔状ビアパターンのパターンサイズとの違いに起因していることが明らかとなった。以下、コンタクトプラグの埋め込み不良や層間絶縁膜の亀裂が生じる原因について、具体的に説明する。

【 0 0 1 9 】

通常、インダクタや耐湿リング等、溝状ビアを用いる構造体は、チップ内部の配線層と同時に形成される。このとき、溝状ビアパターンは、コンタクトホールやビアホールなどの孔状ビアパターンと同時に形成される。

【 0 0 2 0 】

図 1 に、インダクタ素子部と通常の内部配線部とにおける設計デザイン上における平面図を示す。図 1 (a) はインダクタ素子部における部分平面図、図 1 (b) は内部配線部における部分平面図である。

【 0 0 2 1 】

図 1 には、下地の配線層のパターンと、この配線層上に形成されるコンタクトプラグのパターンとを示している。インダクタ素子部では、配線層 1 0 の延在方向に沿って例えば 4 本の溝状ビアパターン 1 2 が形成されている。内部配線部では、配線層 1 4 に達する矩形のビアホール 1 6 が形成されている。一般的に、耐湿リングやインダクタ等に用いる溝状ビアパターンは、内部回路パターンと同じ

幅或いは径でデザインされることが多い。図 1 に示す設計デザインにおいても、溝状ビアパターンの幅とビアホール16の幅（径）とは、同じ幅にデザインされている。

【 0 0 2 2 】

ところが、孔状ビアパターンと溝状ビアパターンとでは、設計パターンサイズを得るために必要な適正露光量が異なる。このため、孔状ビアパターンと溝状ビアパターンとを同時に形成する場合、設計データ上で孔状ビアパターンの幅と溝状ビアパターンの幅とを等しくしても、出来上がり寸法には違いが生じる。

【 0 0 2 3 】

孔状ビアパターンを設計値通りに形成しうる適正露光量を用いて溝状ビアパターンをも露光すると、溝状ビアパターンについては適正露光量よりも多い露光条件となり、溝状ビアパターンは設計値よりも広がってしまう。更に、溝状ビアパターンの角部では屈曲した 2 方向より露光時の光が進入するため、幅の広がり度合いはより大きくなる。

【 0 0 2 4 】

図 2 は、図 1 に示す設計データを用いてウェーハ上にパターン形成した場合の出来上がりイメージを、上記パターンサイズシフトを考慮して描いた平面図である。図 2 (a) はインダクタ素子部における部分平面図、図 2 (b) は内部配線部における部分平面図である。図示するように、図 1 に示すような矩形パターンを用いた場合であっても、出来上がりパターンの角部は近接効果によって丸みを帯びる。そして、出来上がり寸法は、パターンの形状により異なってくる。例えば、設計サイズにおいて、ビアホール16の径が $0.50\ \mu\text{m}$ 、溝状ビアパターン12の幅が $0.50\ \mu\text{m}$ である場合、ウェーハ上における出来上がり寸法は、ビアホール16の径が $0.50\ \mu\text{m}$ 、溝状ビアパターンの幅が $0.55\ \mu\text{m}$ であった。このとき、溝状ビアパターンの角部における設計サイズは $0.71\ \mu\text{m}$ ($0.50\ \mu\text{m} \times \sqrt{2}$) であるが、出来上がり寸法は $0.80\ \mu\text{m}$ であった。

【 0 0 2 5 】

図 3 は、実際のウェーハについて、インダクタ素子部を走査型電子顕微鏡により撮影したものである。図 3 (a), (b) に示すように、溝状ビアパターンが

直進する部位や135度の角度で屈曲する部位では埋め込み不良は発生していない。しかしながら、溝状ビアパターンが90度の角度で屈曲する部位においては、図3(c), (d)に示すように、溝状ビアの埋め込み不良が発生している。また、図3(e), (f)に示すように、最外周の溝状ビアパターンの角部外側では、層間絶縁膜に亀裂が生じている。

【0026】

上記の現象を考慮すると、溝状ビアの埋め込み不良は、上述のようなパターンサイズシフトに起因するものと考えられる。すなわち、コンタクトプラグの形成条件をビアホール16に合わせて最適化すると、溝状ビアパターンの角部では埋め込みが不十分となるものと考えられる。

【0027】

また、層間絶縁膜に亀裂が生じる原因については、本願発明者の検討により以下の現象が確認できた。(1) 亀裂が生じる場所は、最外周の溝状ビアパターンの角部外側である。(2) 溝状ビアの埋め込みが十分な場合には、層間絶縁膜に亀裂は生じない。(3) 下地が銅配線ではない場合(例えばアルミ配線の場合)には、溝状ビアの埋め込み不良が生じていても層間絶縁膜に亀裂は生じない。これらの点を考慮すると、層間絶縁膜の亀裂は、下層の銅配線と上層のタングステンプラグとの間の熱膨張係数差に起因するものと考えられる。これら層間の熱膨張係数差がパターン角部の内側方向に引張り応力を生じ、埋め込み不良による空洞部分がタングステンプラグの収縮を促し、パターン角部の層間絶縁膜に亀裂を生じるものと考えられる。

【0028】

したがって、層間絶縁膜の亀裂を防止するには、溝状ビアの埋め込み不良が生じないように何らかの対策を講ずればよい。そして、溝状ビアの埋め込み不良を防止するには、(1) パターンを工夫する、(2) プロセスを最適化する、ことが考えられる。

【0029】

前述の通り、溝状ビアの埋め込み不良の主たる原因は、溝状ビアパターンのサイズシフトと考えられる。したがって、上記(1)については、孔状ビアパター

ンと溝状ビアパターンとの出来上がりサイズの違いを考慮して設計パターンサイズを規定する、溝状ビアパターンの曲げ角度を大きくする、溝状ビアパターンの角部における幅を選択的に狭くする、溝状ビアパターンに屈曲部を設けない、等のパターン上の工夫が考えられる。層間絶縁膜の亀裂を防止することのみの観点からは、少なくとも最外周の溝状ビアパターンについて、上記パターン上の工夫を施せばよい。また、(2)については、コンタクトプラグを埋め込むタンゲステン膜の膜厚を増加し、溝状ビアパターンが完全に埋め込まれるようにすることが考えられる。

【 0 0 3 0 】

上記パターン上の工夫は、溝状ビアの下層に位置する銅配線のパターンに適用してもよい。ダマシン配線の場合、角部における埋め込み不良が生じやすいのは、溝状ビアの場合と同様である。

【 0 0 3 1 】

すなわち、上記目的は、基板上に形成され、少なくとも表面側に第1の配線層が埋め込まれた第1の絶縁膜と、前記第1の配線層が埋め込まれた前記第1の絶縁膜上に形成された第2の絶縁膜と、前記第1の配線層上の前記第2の絶縁膜に形成され、直角方向に屈曲する溝状のパターンを有する溝状ビアと、前記溝状ビアに充填された第1の埋め込み導電体とを有することを特徴とする半導体装置によって達成される。

【 0 0 3 2 】

また、上記目的は、基板上に形成され、少なくとも表面側に直角方向に屈曲するパターンを有する第1の配線層が埋め込まれた第1の絶縁膜と、前記第1の配線層が埋め込まれた前記第1の絶縁膜上に形成された第2の絶縁膜と、前記第1の配線層上の前記第2の絶縁膜に形成され、溝状のパターンを有する溝状ビアと、前記溝状ビアに充填された第1の埋め込み導電体とを有し、前記溝状ビアは、前記パターンの角部において不連続になっていることを特徴とする半導体装置によって達成される。

【 0 0 3 3 】

また、上記目的は、基板上に形成され、少なくとも表面側に第1の配線層が埋

め込まれた第1の絶縁膜と、前記第1の配線層が埋め込まれた前記第1の絶縁膜上に形成され、前記第1の配線層上に開口された溝状ビア及び孔状ビアを有する第2の絶縁膜とを有する半導体装置の製造方法であって、前記第2の絶縁膜に前記溝状ビア及び前記孔状ビアを形成する際に、前記溝状ビアの設計デザイン上における幅が、前記孔状ビアの設計デザイン上における幅よりも狭いマスクパターンを用い、前記孔状ビア及び前記溝状ビアを形成することを特徴とする半導体装置の製造方法によっても達成される。

【0034】

また、上記目的は、基板上に形成され、少なくとも表面側に第1の配線層が埋め込まれた第1の絶縁膜と、前記第1の配線層が埋め込まれた前記第1の絶縁膜上に形成され、前記第1の配線層上に開口された溝状ビア及び孔状ビアと、前記溝状ビア及び前記孔状ビアのそれぞれに埋め込まれた埋め込み導電体とを有する第2の絶縁膜とを有する半導体装置の製造方法であって、前記埋め込み導電体を形成する際に、前記溝状ビアの最大幅を考慮して、前記埋め込み導電体となる導電膜の堆積膜厚を設定し、前記孔状ビア及び前記溝状ビアを前記埋め込み導電体により充填することを特徴とする半導体装置の製造方法によっても達成される。

【0035】

【発明の実施の形態】

[第1実施形態]

本発明の第1実施形態による半導体装置及びその製造方法について図4乃至図14を用いて説明する。

【0036】

図4は本実施形態による半導体装置の構造を示す設計デザイン上における平面図、図5及び図6は本実施形態による半導体装置の構造を示す概略断面図、図7乃至図14は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0037】

はじめに、本実施形態による半導体装置の構造について図4乃至図6を用いて説明する。なお、図4(a)は本実施形態による半導体装置の内部回路領域における設計デザイン上での部分平面図を示し、図4(b)は本実施形態による半導

体装置の溝状ビアパターン形成領域における設計デザイン上での部分平面図を示している。また、図5は、図4(a)のA-A'線断面に沿った半導体装置の概略断面図を示し、図6は、図4(b)のB-B'線断面に沿った半導体装置の概略断面図を示している。

【0038】

本実施形態による半導体装置は、内部回路領域と、溝状ビアパターン形成領域とを有している。ここで、内部回路領域とは、ビアホール（孔状ビア）を介して上下の配線層が接続される構造を含む通常の素子領域である。また、溝状ビアパターン形成領域とは、溝状のビアホールを用いた構造体が形成される領域であり、例えばインダクタ素子部、ヒューズ回路やチップ周縁等の耐湿リング形成領域等が該当する。図4(b)は、溝状ビアパターンの角部を抜き出して描いたものであり、溝状ビアパターンは、紙面上方向及び左方向にそれぞれ延在して形成されている。

【0039】

基板20上には、エッチングストップ膜22と層間絶縁膜24とが形成されている。なお、本願明細書にいう基板20は、半導体基板そのもののみならず、トランジスタなどの半導体素子が形成された半導体基板をも含むものである。基板上に更に1層以上の配線層が形成されたものであっても差し支えない。

【0040】

層間絶縁膜24及びエッチングストップ膜22には、配線溝28が形成されている。配線溝28内には、拡散防止膜30aと銅膜32とを有する配線層34が形成されている。

【0041】

配線層34が埋め込まれた層間絶縁膜24上には、エッチングストップ膜36及び層間絶縁膜38が形成されている。内部回路領域の層間絶縁膜38及びエッチングストップ膜36には、図4(a)及び図5に示すように、配線層34に達するビアホール46が形成されている。溝状ビアパターン形成領域の層間絶縁膜38及びエッチングストップ膜36には、図4(b)及び図6に示すように、溝状のビアホール46aが形成されている。層間絶縁膜38上には、エッチングス

トップ膜 4 0 と層間絶縁膜 4 2 とが形成されている。層間絶縁膜 4 2 及びエッチングストップ膜 4 0 には、配線溝 5 2 が形成されている。ビアホール 4 6, 4 6 a 内及び配線溝 5 2 内には、拡散防止膜 5 4 a と銅膜 5 6 とを有し、配線層 3 4 に接続された配線層 5 8 が形成されている。

【 0 0 4 2 】

配線層 5 8 が埋め込まれた層間絶縁膜 4 2 上には、エッチングストップ膜 6 0 及び層間絶縁膜 6 2 が形成されている。内部回路領域の層間絶縁膜 6 2 及びエッチングストップ膜 6 0 には、図 4 (a) 及び図 5 に示すように、配線層 5 8 に達するビアホール 6 6 が形成されている。溝状ビアパターン形成領域の層間絶縁膜 6 2 及びエッチングストップ膜 6 0 には、図 4 (b) 及び図 6 に示すように、溝状のビアホール 6 6 a が形成されている。ビアホール 6 6 内には、バリアメタル層 6 8 a とタングステン膜 7 0 とを有するコンタクトプラグ 7 2 が形成されている。ビアホール 6 6 a 内には、バリアメタル層 6 8 a とタングステン膜 7 0 とを有する溝状のコンタクトプラグ 7 2 a が形成されている。

【 0 0 4 3 】

コンタクトプラグ 7 2, 7 2 a が埋め込まれた層間絶縁膜 6 2 上には、窒化チタン膜 7 8 / アルミ膜 7 6 / 窒化チタン膜 7 4 の積層構造を有する配線層 8 2 が形成されている。配線層 8 2 が形成された層間絶縁膜 6 2 上には、シリコン酸化膜 8 4 とシリコン窒化膜 8 6 とを有するカバー膜が形成されている。

【 0 0 4 4 】

ここで、本実施形態による半導体装置は、設計上のパターンサイズにおいて、孔状のビアホール 6 6 の径と、溝状のビアホール 6 6 a の幅とが異なっていることに主たる特徴がある。すなわち、図 4 (b) には、ビアホール 6 6 の径と同じ幅で溝状のビアホール 6 6 a を描いた場合を点線で示しているが、ビアホール 6 6 a の設計上のパターン外縁は、この点線よりも内側に位置している。

【 0 0 4 5 】

例えば、ビアホール 6 6 の径を $0.5 \mu\text{m}$ でデザインした場合には、ビアホール 6 6 a の幅を $0.4 \mu\text{m}$ でデザインする。こうすることにより、ビアホール 6 6 を設計値通りに形成しうる適正露光量を用いて露光し、ビアホール 6 6 a に対

してオーバー露光気味になっても、ビアホール66aの出来上がりの幅とビアホール66の出来上がりの径とをほぼ等しくすることができる。したがって、ビアホール66をコンタクトプラグ72により充填する際に、ビアホール66aをもコンタクトプラグ72aにより充填することができ、埋め込み不良の発生を防止することができる。

【0046】

なお、ウェーハ上における孔状パターンと溝状パターンとの間のパターンサイズのシフト量は、露光装置やエッチング装置などの特性等に応じて変化する。したがって、ビアホール66aの幅をビアホール66の径に対してどの程度狭めてデザインするかは、ウェーハ上におけるホールパターンと溝状パターンとの間のパターンサイズのシフト量に応じて適宜設定することが望ましい。

【0047】

ビアホール66内にコンタクトプラグ72を埋め込む際に、ビアホール66aがコンタクトプラグ72aにより完全に埋め込まれるように、ビアホール66aの出来上がりの幅を設定することが重要であり、ビアホール66aの出来上がりの幅とビアホール66の出来上がりの径とは、必ずしも等しくする必要はない。ビアホール66aがコンタクトプラグ72aにより完全に埋め込まれる幅であれば、ビアホール66aの出来上がりの幅よりも広くてもよいし、狭くてもよい。

【0048】

本願発明者が検討を行った世代のデバイスでは、孔状ビアの径として $0.5\mu\text{m}$ を採用している。この場合、孔状ビアの径の約140%程度、すなわち約 $0.7\mu\text{m}$ 程度までの幅を有する溝状ビアにおいて、埋め込み不良が生じなかった。一方、溝状ビアに必要な最小幅は、露光装置の解像度やバリアメタル層の厚さに依存するため一概にはいえないが、孔状ビアの径の約20%程度以上の幅を有する溝状ビアであれば、コンタクトプラグの形成に支障がないと考えられる。コンタクトプラグの形成条件を孔状ビア径に基づいて最適化している場合には、溝状ビアの幅が孔状ビアの幅以下になるようにデザインすることが無難である。

【0049】

また、配線層58の形成過程でビアホール46aの埋め込み不良が生じる場合

には、上記と同様にして、ビアホール 4 6 a の幅を適宜デザインすればよい。

【 0 0 5 0 】

一般的に、孔状パターンと溝状パターンとを同時に形成する場合、溝状パターンの方がオーバー露光気味になる。したがって、出来上がり寸法において、溝状パターンの幅が孔状パターンの幅とほぼ等しく、或いは、溝状パターンの幅が孔状パターンの幅よりも狭い場合には、本実施形態のように設計デザイン上における溝状パターンのサイズを孔状パターンのサイズよりも狭めているものと考えられる。

【 0 0 5 1 】

次に、本実施形態による半導体装置の製造方法について図 7 乃至図 1 4 を用いて説明する。なお、内部回路領域と溝状ビアパターン形成領域とでは平面的なレイアウトが異なるが、製造工程上に相違はない。以下では、内部回路領域における断面図を用いて本実施形態による半導体装置の製造方法を説明する

まず、基板 2 0 上に、例えば C V D 法により、膜厚 5 0 n m のシリコン窒化膜よりなるエッチングストッパ膜 2 2 と、膜厚 5 0 0 n m のシリコン酸化膜よりなる層間絶縁膜 2 4 とを順次形成する。

【 0 0 5 2 】

次いで、層間絶縁膜 2 4 上に、フォトリソグラフィーにより、配線層の形成予定領域を露出するフォトレジスト膜 2 6 を形成する（図 7（a））。

【 0 0 5 3 】

次いで、シリコン窒化膜に対して十分な選択比の得られるエッチング条件を用いることにより、フォトレジスト膜 2 6 をマスクとして及びエッチングストッパ膜 2 2 をストッパとして層間絶縁膜 2 4 を異方性エッチングし、層間絶縁膜 2 4 に配線溝 2 8 を形成する。

【 0 0 5 4 】

次いで、例えば酸素プラズマを用いたアッシングにより、フォトレジスト膜 2 6 を除去する。

【 0 0 5 5 】

次いで、シリコン酸化膜に対して十分な選択比の得られるエッチング条件を用

いることにより、配線溝 2 8 が形成された層間絶縁膜 2 4 をマスクとしてエッチングストップ膜 2 2 を異方性エッチングし、配線溝 2 8 を基板 2 0 上まで開口する（図 7（b））。

【0056】

なお、フォトリジスト膜 2 6 を除去した後にエッチングストップ膜をエッチングするのは、フォトリジスト膜 2 6 を除去するためのアッシングによる基板 2 0 へのダメージを防止するためである。したがって、基板 2 0 の最上層にアッシングによりダメージを受ける層（例えば銅配線など）が形成されていない場合には、フォトリジスト膜 2 6 をマスクとして層間絶縁膜 2 4 及びエッチングストップ膜 2 2 を連続してエッチングするようにしてもよい。

【0057】

次いで、例えばスパッタ法により、全面に、膜厚 5 0 n m のタンタル膜 3 0 と、膜厚 1 5 0 0 n m の銅膜 3 2 とを堆積する（図 7（c））。なお、タンタル膜 3 0 とシード層としての薄い銅膜（図示せず）とをスパッタ法により堆積した後、この銅膜をシードとしてメッキ法により所定膜厚の銅膜 3 2 を形成するようにしてもよい。

【0058】

次いで、例えばCMP法により、層間絶縁膜 2 4 が露出するまで、銅膜 3 2 及びタンタル膜 3 0 を平坦に除去する。こうして、配線溝 2 8 内に埋め込まれ、タンタル膜 3 0 よりなり銅の拡散を防止する拡散防止膜 3 0 a と、配線層の主要部をなす銅膜 3 2 とを有する配線層 3 4 を形成する（図 8（a））。

【0059】

次いで、配線層 3 4 が埋め込まれた層間絶縁膜 2 4 上に、例えばCVD法により、膜厚 5 0 n m のシリコン窒化膜よりなるエッチングストップ膜 3 6 と、膜厚 7 5 0 n m のシリコン酸化膜よりなる層間絶縁膜 3 8 と、膜厚 5 0 n m のシリコン窒化膜よりなるエッチングストップ膜 4 0 と、膜厚 5 0 0 n m のシリコン酸化膜よりなる層間絶縁膜 4 2 とを順次形成する。なお、エッチングストップ膜 3 6 は、配線層 3 4 からの銅の拡散を防止する拡散防止膜としても機能する。

【0060】

ここで、配線層 3 4 の形成過程でディッシング等により段差が生じる場合には、層間絶縁膜 3 8 を予定膜厚よりも厚く堆積し、CMP 法により所定膜厚になるまで研磨して平坦化した後、エッチングストッパ膜 4 0 を堆積するようにしてもよい。

【0061】

次いで、層間絶縁膜 4 2 上に、フォトリソグラフィーにより、層間絶縁膜 3 8 に形成するビアホール 4 6、4 6 a の形成予定領域を露出するフォトレジスト膜 4 4 を形成する（図 8（b））。

【0062】

次いで、フォトレジスト膜 4 4 をマスクとして及びエッチングストッパ膜 3 6 をストッパとして、層間絶縁膜 4 2、エッチングストッパ膜 4 0、層間絶縁膜 3 8 を、エッチング条件を変えながら順次異方性エッチングし、内部回路領域の層間絶縁膜 3 8 にビアホール 4 6 を、溝状ビアパターン形成領域の層間絶縁膜にビアホール 4 6 a を形成する。

【0063】

なお、後に形成する配線層 5 8 に埋め込み不良が生じる場合には、設計デザイン上におけるビアホール 4 6 の径と設計デザイン上におけるビアホール 4 6 a の幅とが異なるようにフォトマスクを設計し、このフォトマスクを用いてフォトレジスト膜 4 4 を形成するようにしてもよい。ビアホール 4 6 の設計デザイン上の径が例えば $0.5\ \mu\text{m}$ の場合、ビアホール 4 6 a の設計デザイン上の幅を例えば $0.4\ \mu\text{m}$ に設定することにより、ビアホール 4 6 の出来上がりの径とビアホール 4 6 a の出来上がりの幅とをほぼ等しくすることができ、配線層 5 8 の埋め込み不良を防止することができる。

【0064】

次いで、例えば酸素プラズマを用いたアッシングにより、フォトレジスト膜 3 6 を除去する（図 8（c））。

【0065】

次いで、例えばスピンコート法により非感光性樹脂 4 8 を塗布した後、ビアホール 4 6 内に非感光性樹脂 4 8 が残存するように、層間絶縁膜 4 2 上の非感光性

樹脂 4 8 を溶解・除去する。

【 0 0 6 6 】

次いで、層間絶縁膜 4 2 上に、フォトリソグラフィーにより、層間絶縁膜 4 2 に形成される配線層の形成予定領域を露出するフォトレジスト膜 5 0 を形成する（図 9（a））。この際、フォトレジスト膜 5 0 は、非感光性樹脂 4 0 とミキシング等が生ずることがなく、また、現像液が非感光性樹脂 4 0 を溶解するものでない材料から選択する。

【 0 0 6 7 】

次いで、シリコン窒化膜に対して十分な選択比の得られるエッチング条件を用いることにより、フォトレジスト膜 5 0 をマスクとして及びエッチングストッパ膜 4 0 をストッパとして、層間絶縁膜 4 2 を異方性エッチングし、層間絶縁膜 4 2 に配線溝 5 2 を形成する。

【 0 0 6 8 】

次いで、例えば酸素プラズマを用いたアッシングにより、フォトレジスト膜 4 2 及び非感光性樹脂 4 0 を除去する（図 9（b））。

【 0 0 6 9 】

次いで、シリコン酸化膜に対して十分な選択比の得られるエッチング条件を用いることにより、配線溝 5 2 が形成された層間絶縁膜 4 2 及びビアホール 4 6 が形成された層間絶縁膜 3 8 をマスクとしてエッチングストッパ膜 3 6，4 0 を異方性エッチングし、配線溝 5 2 を層間絶縁膜 3 8 上まで開口するとともに、ビアホール 4 6 を配線層 3 4 上まで開口する（図 1 0（a））。

【 0 0 7 0 】

次いで、例えばスパッタ法により、全面に、膜厚 5 0 n m のタンタル膜 5 4 と、膜厚 1 5 0 0 n m の銅膜 5 6 とを堆積する。なお、タンタル膜 5 4 とシード層としての薄い銅膜（図示せず）とをスパッタ法により堆積した後、この銅膜をシードとしてメッキ法により所定膜厚の銅膜 5 6 を形成するようにしてもよい。

【 0 0 7 1 】

次いで、例えば CMP 法により、層間絶縁膜 4 2 が露出するまで、銅膜 5 6 及びタンタル膜 5 4 を平坦に除去する。こうして、配線溝 5 2 内及びビアホール 4

6内に埋め込まれ、タンタル膜54よりなり銅の拡散を防止する拡散防止膜54aと、配線層の主要部をなす銅膜56とを有する配線層58を形成する(図11(a))。

【0072】

次いで、配線層58が埋め込まれた層間絶縁膜42上に、例えばCVD法により、膜厚50nmのシリコン窒化膜よりなるエッチングストッパ膜60と、膜厚750nmのシリコン酸化膜よりなる層間絶縁膜62とを順次堆積する。なお、エッチングストッパ膜60は、配線層58からの銅の拡散を防止する拡散防止膜としても機能する。

【0073】

ここで、配線層58の形成過程でディッシング等により段差が生じる場合には、層間絶縁膜62を予定膜厚よりも厚く堆積した後、CMP法により所定膜厚になるまで研磨して平坦化するようにしてもよい。

【0074】

次いで、層間絶縁膜62上に、フォトリソグラフィーにより、層間絶縁膜62に形成するビアホール66、66aの形成予定領域を露出するフォトレジスト膜64を形成する(図11(b))。この際、図4に示すように、設計デザイン上におけるビアホール66の径と設計デザイン上におけるビアホール66aの幅とが異なるようにフォトマスクを設計し、このフォトマスクを用いてフォトレジスト膜64を形成する。

【0075】

次いで、フォトレジスト膜64をマスクとして及びエッチングストッパ膜60をストッパとして、層間絶縁膜62を異方性エッチングし、内部回路領域の層間絶縁膜62にビアホール66を、溝状ビアパターン形成領域の層間絶縁膜62にビアホール66aを形成する。なお、ビアホール66の設計デザイン上の径を例えば0.5 μ m、ビアホール66aの設計デザイン上の幅を例えば0.4 μ mに設計した場合、ビアホール66の出来上がりの径とビアホール66aの出来上がりの幅は、ともに約0.5 μ mとなる。

【0076】

次いで、例えば酸素プラズマを用いたアッシングにより、フォトリジスト膜64を除去する。

【0077】

次いで、シリコン酸化膜に対して十分な選択比の得られるエッチング条件を用いることにより、ビアホール66が形成された層間絶縁膜62をマスクとしてエッチングストッパ膜60を異方性エッチングし、ビアホール66、66aを配線層58上まで開口する（図12（a））。

【0078】

次いで、例えばスパッタ法により膜厚50nmの窒化チタン膜68を、例えばCVD法により膜厚300nmのタングステン膜70を、順次形成する（図12（b））。

【0079】

次いで、例えばCMP法により、層間絶縁膜62が露出するまで、タングステン膜70及び窒化チタン膜68を平坦に除去する。こうして、ビアホール66内に埋め込まれ、窒化チタン膜68よりなるバリアメタル層68aとタングステン膜70とを有するコンタクトプラグ72と、ビアホール66a内に埋め込まれ、窒化チタン膜68よりなるバリアメタル層68aとタングステン膜70とを有するコンタクトプラグ72aとを形成する（図13（a））。

【0080】

この際、ビアホール66の出来上がりの径とビアホール66aの出来上がりの幅とはほぼ等しいので、ビアホール66を完全に埋め込む条件でコンタクトプラグ72を形成することにより、コンタクトプラグ72aに埋め込み不良が生じることを防止することができる。また、溝状のコンタクトプラグを隣接して設ける場合にあっては、層間絶縁膜62に亀裂が生じるのを防止する効果もある。

【0081】

次いで、コンタクトプラグ72、72aが埋め込まれた層間絶縁膜70上に、例えばスパッタ法により、膜厚50nmの窒化チタン膜74と、膜厚1000nmのアルミ（或いは銅添加アルミ）膜76と、膜厚50nmの窒化チタン膜78とを順次堆積する。

【0082】

次いで、窒化チタン膜78上に、フォトリソグラフィーにより、形成する配線層のパターンを有するフォトレジスト膜80を形成する(図13(b))。

【0083】

次いで、フォトレジスト膜80をマスクとして、窒化チタン膜78、アルミ膜76、窒化チタン膜74を異方性エッチングし、コンタクトプラグ72を介して配線層58に接続され、窒化チタン膜78/アルミ膜76/窒化チタン膜74の積層構造よりなる配線層82を形成する。

【0084】

次いで、例えば酸素プラズマを用いたアッシングにより、フォトレジスト膜80を除去する。

【0085】

次いで、例えばCVD法により、膜厚700nmのシリコン酸化膜84と、膜厚500nmのシリコン窒化膜78とを順次堆積し、シリコン窒化膜78/シリコン酸化膜86の積層構造よりなるカバー膜を形成する。

【0086】

こうして、図4乃至図6に示す半導体装置を製造することができる。

【0087】

このように、本実施形態によれば、溝状のビアホール的设计デザイン上における幅が、孔状のビアホール的设计デザイン上における径よりも小さくなるようにパターン設計するので、孔状パターンと溝状パターンとでビアホールの出来上がりサイズに差が生じる場合であっても、コンタクトプラグや配線層の埋め込み不良を防止することができる。

【0088】

また、コンタクトプラグの埋め込み不良が防止される結果、層間絶縁膜に亀裂が生じることを防止できる。また、コンタクトプラグ上の段差を低減できるので、上層の配線層や絶縁層にこの段差が反映されることを防止することができる。これにより、上層に形成する配線層との間のコンタクト不良や積層時の問題を回避することができる。

【0089】

なお、上記実施形態では、溝状のビアホール66aの幅を全体に渡って一律に狭めたが、埋め込み不良が発生する角部近傍のパターン幅のみを選択的に狭めるようにしてもよい。

【0090】

〔第2実施形態〕

本発明の第2実施形態による半導体装置及びその製造方法について図15及び図16を用いて説明する。なお、図4乃至図14に示す第1実施形態による半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

【0091】

図15は本実施形態による半導体装置の構造を示す設計デザイン上における平面図、図16は本実施形態の変形例による半導体装置の構造を示す設計デザイン上における平面図である。

【0092】

本実施形態による半導体装置は、溝状ビアパターン形成領域における溝状ビアホール66aの平面的なデザインが異なる他は、第1実施形態による半導体装置及びその製造方法と同様である。

【0093】

本実施形態による半導体装置では、図15に示すように、ビアホール66aのパターンを角部において135度の角度で2度に分けて屈曲することにより、全体として90度屈曲している。このようにしてビアホール66aのパターンをデザインすることにより、ビアホール66aを1度で90度屈曲する場合と比較して、ビアホール66aの最大幅を小さくすることができる。これにより、角部におけるコンタクトプラグ72aの埋め込み不良の発生を抑制することができる。

【0094】

本実施形態によるパターンを適用する場合、2つの角部をあまり近づけすぎると、露光時の近接効果により、1つの角部を設けた場合と同様の結果となる。したがって、2つの角部は、互いに数 μ m程度離間して配置する必要がある。なお

、近接効果の影響はパターンサイズや露光条件によっても変化するため、2つの角部を離間する距離は、これらの点を考慮したうえで設定することが望ましい。

【0095】

図15に示すビアホールのパターンレイアウトは、ビアホール46aに適用してもよい。こうすることにより、配線層58の埋め込み不良を抑制することができる。

【0096】

このように、本実施形態によれば、溝状ビアホールが屈曲する角度を小さくできるので、孔状パターンと溝状パターンとでビアホールの出来上がりサイズに差が生じる場合であっても、コンタクトプラグや配線層の埋め込み不良を防止することができる。

【0097】

また、コンタクトプラグの埋め込み不良が防止される結果、層間絶縁膜に亀裂が生じることを防止できる。また、コンタクトプラグ上の段差を低減できるので、上層の配線層や絶縁層にこの段差が反映されることを防止することができる。これにより、上層に形成する配線層との間のコンタクト不良や積層時の問題を回避することができる。

【0098】

なお、上記実施形態では、ビアホール66aのパターンのみを2度に分けて屈曲したが、図16に示すように、配線層58のパターンについても角部で2度に分けて屈曲してもよい。

【0099】

また、上記実施形態では、ビアホールのパターンを角部において2度に分けて屈曲したが、3度以上に分けて屈曲するようにしてもよい。本実施形態による半導体装置は、一度に曲げる角度を小さくすることにより、直線部における幅と屈曲部における幅との間のサイズ差を小さくして埋め込み不良を低減するものであり、この目的が達成しうるパターンであれば、屈曲する角度や回数はいくつであってもよい。また、ある曲率を描いた曲線によってビアホールのパターンを描くようにしてもよい。

【0100】

また、上記実施形態では、孔状ビアホール66aの設計デザイン上における径と、溝状ビアホール66bの設計デザイン上における幅とをほぼ等した場合を示しているが、第1実施形態による半導体装置の場合と同様にして、孔状ビアホール66aの設計デザイン上における径よりも溝状ビアホール66bの設計デザイン上における幅が狭くなるようにパターン設計してもよい。これにより、コンタクトプラグの埋め込み不良の発生を更に抑制することができる。

【0101】

[第3実施形態]

本発明の第3実施形態による半導体装置及びその製造方法について図17を用いて説明する。なお、図4乃至図16に示す第1及び第2実施形態による半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

【0102】

図17は本実施形態による半導体装置の構造を示す設計デザイン上における平面図である。

【0103】

本実施形態による半導体装置は、溝状ビアパターン形成領域における溝状のビアホール66aの平面的なデザインが異なる他は、第1及び第2実施形態による半導体装置及びその製造方法と同様である。

【0104】

本実施形態による半導体装置では、図17に示すように、ビアホール66aのパターン角部を取り除き、ビアホール66aを直線パターンのみにより形成している。すなわち、配線層58の側からみた場合、配線層58の屈曲部においてビアホール66aのパターンが不連続になっている。ビアホール66aに埋め込まれたコンタクトプラグ72aをインダクタなどの回路素子に用いる場合、パターンの角部を取り除くことは配線抵抗を増加する原因となる。しかしながら、パターン変更に伴う抵抗変動が十分に小さい場合には、角部のパターンを取り除いても設計的なデメリットは生じない。

【0105】

このようにしてビアホール66aのパターンを設計することにより、出来上がりにおけるビアホール66aの最大幅を小さくすることができる。これにより、コンタクトプラグ72の埋め込み不良の発生を抑制することができる。

【0106】

図17に示すビアホールのレイアウトは、ビアホール46aに適用してもよい。こうすることにより、配線層58の埋め込み不良の発生を抑制することができる。

【0107】

このように、本実施形態によれば、ビアホールを構成する溝状パターンから角部を取り除くので、孔状パターンと溝状パターンとでビアホールの出来上がりサイズに差が生じる場合であっても、コンタクトプラグや配線層の埋め込み不良の発生を抑制することができる。

【0108】

また、コンタクトプラグの埋め込み不良が防止される結果、層間絶縁膜に亀裂が生じることを防止できる。また、コンタクトプラグ上の段差を低減できるので、上層の配線層や絶縁層にこの段差が反映されることを防止することができる。これにより、上層に形成する配線層との間のコンタクト不良や積層時の問題を回避することができる。

【0109】

なお、上記実施形態では、孔状ビアホールの設計デザイン上における径と、溝状ビアホールの設計デザイン上における幅とをほぼ等しくしているが、第1実施形態による半導体装置の場合と同様にして、孔状ビアホールの設計デザイン上における径よりも溝状ビアホールの設計デザイン上における幅が狭くなるようにパターン設計してもよい。これにより、コンタクトプラグの埋め込み不良の発生を更に抑制することができる。

【0110】

〔第4実施形態〕

本発明の第4実施形態による半導体装置及びその製造方法について図18を用

いて説明する。なお、図 4 乃至図 1 7 に示す第 1 乃至第 3 実施形態による半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

【0 1 1 1】

図 1 8 は本実施形態による半導体装置の構造を示す設計デザイン上における平面図である。

【0 1 1 2】

本実施形態による半導体装置は、溝状ビアパターン形成領域における溝状のビアホール 6 6 a の平面的なデザインが異なる他は、第 1 乃至第 3 実施形態による半導体装置及びその製造方法と同様である。

【0 1 1 3】

本実施形態による半導体装置では、図 1 8 に示すように、パターン角部における露光時の光量を制限するようにビアホール 6 6 a のパターンを工夫したものである。図 1 8 では、ビアホール 6 6 a のパターンの角部を切り欠いたようなデザインとしている。このようにしてビアホール 6 6 a のパターンをデザインすることにより、ビアホール 6 6 a の角部における幅の増大を抑制することができる。これにより、角部におけるコンタクトプラグ 7 2 a の埋め込み不良の発生を抑制することができる。

【0 1 1 4】

図 1 8 に示すビアホールのレイアウトは、ビアホール 4 6 a に適用してもよい。こうすることにより、配線層 5 8 の埋め込み不良の発生を抑制することができる。

【0 1 1 5】

このように、本実施形態によれば、角部における露光時の光量を制限するように角部のパターンをデザインするので、孔状パターンと溝状パターンとでビアホールの出来上がりサイズに差が生じる場合であっても、コンタクトプラグや配線層の埋め込み不良の発生を抑制することができる。

【0 1 1 6】

また、コンタクトプラグの埋め込み不良が防止される結果、層間絶縁膜に亀裂

が生じることを防止できる。また、コンタクトプラグ上の段差を低減できるので、上層の配線層や絶縁層にこの段差が反映されることを防止することができる。これにより、上層に形成する配線層との間のコンタクト不良や積層時の問題を回避することができる。

【0117】

なお、上記実施形態では、溝状パターンの角部を切り欠いたようなデザインとしているが、角部における露光時の光量を制限しうるパターンであれば、図18に示すパターンに限定されるものではない。

【0118】

また、上記実施形態では、孔状ビアホール of 設計デザイン上における径と、溝状ビアホール of 設計デザイン上における幅とをほぼ等しくしているが、第1実施形態による半導体装置の場合と同様にして、孔状ビアホール of 設計デザイン上における径よりも溝状ビアホール of 設計デザイン上における幅が狭くなるようにパターン設計してもよい。これにより、コンタクトプラグの埋め込み不良の発生を更に抑制することができる。

【0119】

[第5実施形態]

本発明の第5実施形態による半導体装置及びその製造方法について図19及び図20を用いて説明する。なお、図4乃至図18に示す第1乃至第4実施形態による半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

【0120】

図19は本実施形態による半導体装置の構造を示す平面図、図20は本実施形態の変形例による半導体装置の構造を示す平面図である。

【0121】

本実施形態による半導体装置は、溝状ビアパターン形成領域における溝状のビアホール of 平面的なデザインが異なる他は、第1乃至第4実施形態による半導体装置及びその製造方法と同様である。

【0122】

本実施形態による半導体装置では、図 1 9 に示すように、溝状のビアホール 6 6 a の外周部に、補助パターン 8 8, 9 0 を配置したものである。補助パターン 8 8 は、配線層 5 8 と同一の層により形成される配線パターンであり、補助パターン 9 0 は、ビアホール 6 6 a のパターンと同時に形成される溝状のビアパターンである。

【 0 1 2 3 】

溝状のコンタクトプラグを隣接して設けた場合、コンタクトプラグに埋め込み不良が生じると、最外周の角部において層間絶縁膜 6 2 の亀裂が生じる。ビアホール 6 6 a の外側に溝状パターン（補助パターン 9 0）を更に設ければ、内側のビアホール 6 6 a の角部では層間絶縁膜 6 2 に亀裂は生じない。そして、この補助パターン 9 0 を、例えば図 1 9 に示すような埋め込み不良が発生しないパターンとすれば、補助パターン 9 0 の角部においても層間絶縁膜 6 2 に亀裂は生じることはない。

【 0 1 2 4 】

このようにして補助パターン 9 0 を設けることにより、ビアホール 6 6 a に埋め込まれるコンタクトプラグ 7 2 a に埋め込み不良が生じた場合であっても、層間絶縁膜 6 2 に亀裂が生じることを防止することができる。

【 0 1 2 5 】

このように、本実施形態によれば、溝状ビアパターンに隣接して、層間絶縁膜に亀裂が生じるのを防止する補助パターンを配置するので、溝状ビアパターンに埋め込み不良が生じた場合であっても、層間絶縁膜に亀裂が生じるのを防止することができる。

【 0 1 2 6 】

なお、上記実施形態では、補助パターン 8 8, 9 0 の双方をパターンの角部において不連続としたが、図 2 0 に示すように、補助パターン 8 8 のパターンが角部において連続となるようにしてもよい。

【 0 1 2 7 】

また、上記実施形態では、補助パターンを設けることにより層間絶縁膜 6 2 に亀裂が生じることを防止しているが、補助パターンを設けるとともに、ビアホー

ル 6 6 a のパターンとして第 1 乃至第 4 実施形態による半導体装置と同様のデザインを採用してもよい。これにより、埋め込み不良の発生が抑制されるため、層間絶縁膜に亀裂が生じることを防止する効果を更に高めることができる。

【 0 1 2 8 】

〔第 6 実施形態〕

本発明の第 6 実施形態による半導体装置及びその製造方法について図 2 1 乃至図 2 3 を用いて説明する。なお、図 4 乃至図 2 0 に示す第 1 乃至第 5 実施形態による半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

【 0 1 2 9 】

図 2 1 は本実施形態による半導体装置の構造を示す平面図、図 2 2 及び図 2 3 は本実施形態の変形例による半導体装置の構造を示す平面図である。

【 0 1 3 0 】

図 1 (a) に示すように、インダクタなどの素子では、電気抵抗を低減する等の観点から配線層 1 0 上に複数の溝状ビアパターンを配置している。そこで、本実施形態では、一の配線層上に複数の溝状ビアパターンを配置する場合における溝状ビアホール66aの平面的なデザイン例について説明する。

【 0 1 3 1 】

本実施形態による半導体装置は、溝状ビアパターン形成領域における溝状のビアホール66aの平面的なデザインが異なる他は、第 1 乃至第 4 実施形態による半導体装置及びその製造方法と同様である。

【 0 1 3 2 】

本実施形態による半導体装置では、複数の溝状ビアパターンが隣接して設けられたパターンにおいて、最外周の溝状ビアパターンとして図 1 5 に示す第 2 実施形態による半導体装置におけるビアホール 6 6 a のパターンを適用したものである。

【 0 1 3 3 】

すなわち、図 2 1 に示すように、配線層 5 8 のパターン上には、角部において 9 0 度の角度で屈曲する 2 つのビアホール 6 6 b のパターンと、ビアホール 6 6

bの 패턴の外周部に設けられ、角部において135度の角度で2度に分けて屈曲するビアホール66aのパターンとが設けられている。

【0134】

溝状のコンタクトプラグを隣接して設けた場合、コンタクトプラグに埋め込み不良が生じると、最外周の角部において層間絶縁膜62の亀裂が生じる。しかしながら、最外周に埋め込み不良が発生しないビアホール66aを配置することにより、ビアホール66bに埋め込み不良が発生した場合であっても、層間絶縁膜62に亀裂が生じることを防止することができる。

【0135】

このように、本実施形態によれば、複数の溝状ビアパターンが隣接して設けられたパターンを有する半導体装置において、最外周の溝状ビアパターンとして第2実施形態のパターンを用いるので、内側の溝状ビアパターンで埋め込み不良が生じた場合であっても、層間絶縁膜に亀裂が生じることを防止することができる。

【0136】

なお、上記実施形態では、最外周の溝状ビアパターンのみに第2実施形態のパターンを適用したが、図22に示すように、すべての溝状ビアパターンに第2実施形態のパターンを適用してもよい。これにより、埋め込み不良の発生を更に抑制することができ、層間絶縁膜に亀裂が生じるのをより効果的に防止することができる。

【0137】

また、図23に示すように、例えば図16に示す第2実施形態の変形例の場合と同様にして、配線層58のパターンをビアホール66aのパターンと同様に屈曲させるようにしてもよい。

【0138】

[第7実施形態]

本発明の第7実施形態による半導体装置及びその製造方法について図24及び図25を用いて説明する。なお、図4乃至図23に示す第1乃至第6実施形態による半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を

省略し或いは簡略にする。

【0 1 3 9】

図 2 4 は本実施形態による半導体装置の構造を示す平面図、図 2 5 は本実施形態の変形例による半導体装置の構造を示す平面図である。

【0 1 4 0】

第 6 実施形態と同様、本実施形態では、一の配線層上に複数の溝状ビアパターンを配置する場合における溝状ビアホール66aの平面的なデザイン例について説明する。

【0 1 4 1】

本実施形態による半導体装置は、溝状ビアパターン形成領域における溝状のビアホール66aの平面的なデザインが異なる他は、第 1 乃至第 4 実施形態による半導体装置及びその製造方法と同様である。

【0 1 4 2】

本実施形態による半導体装置では、複数の溝状ビアパターンが隣接して設けられたパターンにおいて、最外周の溝状ビアパターンとして図 1 7 に示す第 3 実施形態による半導体装置におけるビアホール66aのパターンを適用したものである。

【0 1 4 3】

すなわち、図 2 4 に示すように、配線層 5 8 のパターン上には、角部において 9 0 度の角度で屈曲する 2 つのビアホール 6 6 b のパターンと、ビアホール 6 6 b のパターンの外周部に設けられ、角部のパターンが取り除かれたビアホール 6 6 a のパターンとが設けられている。

【0 1 4 4】

溝状のコンタクトプラグを隣接して設けた場合、コンタクトプラグに埋め込み不良が生じると、最外周の角部において層間絶縁膜 6 2 の亀裂が生じる。しかしながら、最外周に埋め込み不良が発生しないビアホール 6 6 a を配置することにより、ビアホール 6 6 b に埋め込み不良が発生した場合であっても、層間絶縁膜 6 2 に亀裂が生じることを防止することができる。

【0 1 4 5】

このように、本実施形態によれば、複数の溝状ビアパターンが隣接して設けられたパターンを有する半導体装置において、最外周の溝状ビアパターンとして第3実施形態のパターンを用いるので、内側の溝状ビアパターンで埋め込み不良が生じた場合であっても、層間絶縁膜に亀裂が生じることを防止することができる。

【0146】

なお、上記実施形態では、最外周の溝状ビアパターンのみに第3実施形態のパターンを適用したが、図25に示すように、すべての溝状ビアパターンに第3実施形態のパターンを適用してもよい。これにより、埋め込み不良の発生を更に抑制することができ、層間絶縁膜に亀裂が生じるのをより効果的に防止することができる。

【0147】

[第8実施形態]

本発明の第8実施形態による半導体装置及びその製造方法について図26乃至図30を用いて説明する。なお、図4乃至図25に示す第1乃至第7実施形態による半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

【0148】

図26は本実施形態による半導体装置の構造を示す概略断面図、図27及び図28は本実施形態による半導体装置の製造方法を示す工程断面図、図29はコンタクトプラグの埋め込み不良が生じる原因を説明する図、図30はコンタクトプラグの埋め込み不良を防止する製造工程上の手段を説明する図である。

【0149】

はじめに、本実施形態による半導体装置の構造について図26を用いて説明する。

【0150】

本実施形態による半導体装置は、図26に示すように、基本的な断面構造は図5に示す第1実施形態による半導体装置と同様である。本実施形態による半導体装置が第1実施形態による半導体装置と異なる点は、シリコン窒化膜よりなるエ

エッチングストップパ膜 2 2, 3 6, 4 0, 6 0 の代わりに、S i C 膜によりなるエッチングストップパ膜 2 2 a, 3 6 a, 4 0 a, 6 0 a をそれぞれ用いている点、シリコン酸化膜よりなる層間絶縁膜 2 4, 3 8, 4 2 の代わりに、S i O C 膜よりなる層間絶縁膜 2 4 a, 3 8 a, 4 2 a をそれぞれ用いている点である。

【0 1 5 1】

本願発明者は、シリコン酸化膜／シリコン窒化膜系の層間絶縁膜構造を用いた場合のみならず、S i O C 膜／S i C 膜系の層間絶縁膜構造を用いた場合にも、コンタクトプラグ 7 2 a の埋め込み不良により層間絶縁膜 6 2 に亀裂が生じることを確認している。本発明は、S i O C 膜／S i C 膜系の層間絶縁膜構造を用いた場合においても効果がある。

【0 1 5 2】

また、本実施形態による半導体装置では、ビアホール 6 6 a の平面的なデザインとして、第 1 乃至第 7 実施形態による半導体装置のパターンを用いていない。溝状ビアパターンとして、例えば図 1 (a) に示すように、9 0 度の角度で屈曲するパターンを適用することも可能である。これは、本実施形態では後述する製造プロセス上の工夫によりコンタクトプラグ 7 2 a の埋め込み不良を防止するためである。

【0 1 5 3】

次に、本実施形態による半導体装置の製造方法について図 2 7 乃至図 3 0 を用いて説明する。

【0 1 5 4】

まず、例えば図 7 (a) 乃至図 1 1 (a) に示す第 1 実施形態による半導体装置の製造方法と同様にして、基板 2 0 上に、配線層 3 4, 5 8 等を形成する。この際、本実施形態では、シリコン窒化膜よりなるエッチングストップパ膜 2 2, 3 6, 4 0, 6 0 の代わりに、S i C 膜によりなるエッチングストップパ膜 2 2 a, 3 6 a, 4 0 a, 6 0 a を形成し、シリコン酸化膜よりなる層間絶縁膜 2 4, 3 8, 4 2 の代わりに、S i O C 膜よりなる層間絶縁膜 2 4 a, 3 8 a, 4 2 a を形成する (図 2 7 (a)) 。

【0 1 5 5】

次いで、例えば図11(b)乃至図12(a)に示す第1実施形態による半導体装置の製造方法と同様にして、配線層58が埋め込まれた層間絶縁膜42a上にSiC膜よりなるエッチングストッパ膜60aと層間絶縁膜62とを形成した後、層間絶縁膜62及びエッチングストッパ膜60aに配線層58に達するビアホール66、66aを形成する(図27(b))。なお、ビアホールを形成する際、内部回路領域におけるビアホール66の設計デザイン上における径を $0.5\mu\text{m}$ 、溝状ビアパターン形成領域における幅を $0.5\mu\text{m}$ とすると、前述の通り、ウェーハ上における出来上がり寸法は、ビアホール66の径が約 $0.50\mu\text{m}$ 、ビアホール66aの幅が約 $0.55\mu\text{m}$ 、ビアホール66aの最大幅が約 $0.80\mu\text{m}$ となる。

【0156】

次いで、例えばスパッタ法により膜厚 50nm の窒化チタン膜68を、例えばCVD法により膜厚 400nm のタングステン膜70を、順次形成する(図28(a))。

【0157】

次いで、例えばCMP法により、層間絶縁膜62が露出するまで、タングステン膜70及び窒化チタン膜68を平坦に除去する。こうして、ビアホール66内に埋め込まれ、窒化チタン膜68よりなるバリアメタル層68aとタングステン膜70とを有するコンタクトプラグ72と、ビアホール66a内に埋め込まれ、窒化チタン膜68よりなるバリアメタル層68aとタングステン膜70とを有するコンタクトプラグ72aを形成する(図28(b))。

【0158】

第1実施形態では、ビアホール66を埋め込むに十分な膜厚条件として、コンタクトプラグ72を形成するための窒化チタン膜68の膜厚を 50nm 、タングステン膜70の膜厚を 300nm としている。しかしながら、この膜厚条件では、最大で幅 $0.7\mu\text{m}$ までのビアホールを完全に埋め込むことはできても、角部に $0.8\mu\text{m}$ の最大幅を有するビアホール66aを完全に埋め込むことはできない(図29(b))。このため、その後CMPにより研磨してコンタクトプラグ72aを形成すると、プラグの中央部分には埋め込み不良が生じる(図29(a))。

), (c))。

【0159】

そこで、本実施形態では、ビアホール66aの最大幅を考慮して、ビアホール66を埋め込むための膜厚条件を設定している。コンタクトプラグ72を形成するための窒化チタン膜68及びタングステン膜70の膜厚を、上述のようにそれぞれ50nm及び400nmに設定すると、最大で幅0.9 μ mまでのビアホールを完全に埋め込むことができるため、角部に約0.8 μ mの最大幅を有するビアホール66aであっても完全に埋め込むことができる(図30(b))。したがって、その後CMPにより研磨してコンタクトプラグ72aを形成しても、埋め込み不良が生じることはない(図30(a), (c))。

【0160】

この後、例えば図13(b)乃至図14に示す第1実施形態による半導体装置の製造方法と同様にして、コンタクトプラグ72, 72aが埋め込まれた層間絶縁膜62上に、配線層82, カバー膜等を形成する。

【0161】

このように、本実施形態によれば、溝状ビアパターンの最大幅を考慮してコンタクトプラグを形成する際の膜厚条件を設定するので、孔状パターンと溝状パターンとでビアホールの出来上がりサイズに差が生じる場合であっても、コンタクトプラグや配線層の埋め込み不良を防止することができる。また、埋め込み不良に起因して層間絶縁膜に亀裂が生じるのを防止することができる。

【0162】

なお、上記実施形態では、銅配線周りの層間絶縁膜構造として、SiOC膜/SiC膜系の絶縁膜を用いたが、第1実施形態による半導体装置の場合と同様に、シリコン酸化膜/シリコン窒化膜系の層間絶縁膜構造を適用してもよい。

【0163】

また、上記実施形態では、ビアホール66aの平面的なデザインに工夫を施していないが、第1乃至第7実施形態による半導体装置のパターンを用いるようにしてもよい。これにより、デザイン上及びプロセス上の双方から埋め込み不良の発生を防止することが可能となり、その効果をより高めることができる。

【0164】

[第9実施形態]

本発明の第9実施形態による半導体装置について図31及び図32を用いて説明する。

【0165】

図31は本実施形態による半導体装置の構造を示す概略断面図、図32は本実施形態の他の例による半導体装置の構造を示す概略断面図である。

【0166】

本実施形態では、銅配線とアルミ配線とを用いた半導体装置の具体的な構造を示す。上記第1乃至第8実施形態では、配線層が3層の場合を示したが、本発明は、3層以上の配線層を有する半導体装置に適用することもできる。

【0167】

図31に示す半導体装置は、7層の銅配線と1層のアルミ配線とにより多層配線構造を構成したものである。

【0168】

シリコン基板100には、素子領域を確定する素子分離膜102が形成されている。素子分離膜102により画定された素子領域には、ゲート電極104とソース/ドレイン拡散層106とを有するMOSトランジスタが形成されている。

【0169】

MOSトランジスタが形成されたシリコン基板100上には、PSG膜/シリコン窒化膜の積層膜よりなる層間絶縁膜108が形成されている。層間絶縁膜108には、タングステン膜/窒化チタン膜の積層構造よりなるコンタクトプラグ110が埋め込まれている。

【0170】

コンタクトプラグ110が埋め込まれた層間絶縁膜108上には、シリコン酸化膜/SiLK（登録商標）膜（又はSOG膜）の積層膜よりなる層間絶縁膜112が形成されている。層間絶縁膜112には、銅膜/タンタル膜の積層構造よりなる配線層114が埋め込まれている。

【0171】

配線層 1 1 4 が埋め込まれた層間絶縁膜 1 1 2 上には、シリコン酸化膜／シリコン窒化膜の積層膜よりなる層間絶縁膜 1 1 6 が形成されている。層間絶縁膜 1 1 6 上には、シリコン酸化膜／S i L K 膜（又は S O G 膜）の積層膜よりなる層間絶縁膜 1 1 8 が形成されている。層間絶縁膜 1 1 6, 1 1 8 内には、銅膜／タンタル膜の積層構造よりなり、層間絶縁膜 1 1 6 内にビア部が埋め込まれ、層間絶縁膜 1 1 8 内に配線部が埋め込まれた配線層 1 2 0 が形成されている。

【 0 1 7 2 】

配線層 1 2 0 が埋め込まれた層間絶縁膜 1 1 8 上には、シリコン酸化膜／シリコン窒化膜の積層膜よりなる層間絶縁膜 1 2 2 が形成されている。層間絶縁膜 1 2 2 上には、シリコン酸化膜／S i L K 膜（又は S O G 膜）の積層膜よりなる層間絶縁膜 1 2 4 が形成されている。層間絶縁膜 1 2 2, 1 2 4 内には、銅膜／タンタル膜の積層構造よりなり、層間絶縁膜 1 2 2 内にビア部が埋め込まれ、層間絶縁膜 1 2 4 内に配線部が埋め込まれた配線層 1 2 6 が形成されている。

【 0 1 7 3 】

配線層 1 2 6 が埋め込まれた層間絶縁膜 1 2 4 上には、シリコン酸化膜／シリコン窒化膜の積層膜よりなる層間絶縁膜 1 2 8 が形成されている。層間絶縁膜 1 2 8 上には、シリコン酸化膜／S i L K 膜（又は S O G 膜）の積層膜よりなる層間絶縁膜 1 3 0 が形成されている。層間絶縁膜 1 2 8, 1 3 0 内には、銅膜／タンタル膜の積層構造よりなり、層間絶縁膜 1 2 8 内にビア部が埋め込まれ、層間絶縁膜 1 3 0 内に配線部が埋め込まれた配線層 1 3 2 が形成されている。

【 0 1 7 4 】

配線層 1 3 2 が埋め込まれた層間絶縁膜 1 3 0 上には、シリコン酸化膜／シリコン窒化膜の積層膜よりなる層間絶縁膜 1 3 4 が形成されている。層間絶縁膜 1 3 4 上には、シリコン酸化膜／シリコン窒化膜の積層膜よりなる層間絶縁膜 1 3 6 が形成されている。層間絶縁膜 1 3 4, 1 3 6 内には、銅膜／タンタル膜の積層構造よりなり、層間絶縁膜 1 3 4 内にビア部が埋め込まれ、層間絶縁膜 1 3 6 内に配線部が埋め込まれた配線層 1 3 8 が形成されている。

【 0 1 7 5 】

配線層 1 3 8 が埋め込まれた層間絶縁膜 1 3 6 上には、シリコン酸化膜／シリ

コン窒化膜の積層膜よりなる層間絶縁膜 1 4 0 が形成されている。層間絶縁膜 1 4 0 上には、シリコン酸化膜／シリコン窒化膜の積層膜よりなる層間絶縁膜 1 4 2 が形成されている。層間絶縁膜 1 4 0, 1 4 2 内には、銅膜／タンタル膜の積層構造よりなり、層間絶縁膜 1 4 0 内にビア部が埋め込まれ、層間絶縁膜 1 4 2 内に配線部が埋め込まれた配線層 1 4 4 が形成されている。

【0 1 7 6】

配線層 1 4 4 が埋め込まれた層間絶縁膜 1 4 2 上には、シリコン酸化膜／シリコン窒化膜の積層膜よりなる層間絶縁膜 1 4 6 が形成されている。層間絶縁膜 1 4 6 上には、シリコン酸化膜／シリコン窒化膜の積層膜よりなる層間絶縁膜 1 4 8 が形成されている。層間絶縁膜 1 4 6, 1 4 8 内には、銅膜／タンタル膜の積層構造よりなり、層間絶縁膜 1 4 6 内にビア部が埋め込まれ、層間絶縁膜 1 4 8 内に配線部が埋め込まれた配線層 1 5 0 が形成されている。

【0 1 7 7】

配線層 1 5 0 が埋め込まれた層間絶縁膜 1 4 8 上には、シリコン酸化膜／シリコン窒化膜の積層膜よりなる層間絶縁膜 1 5 2 が形成されている。層間絶縁膜 1 5 2 には、タングステン膜／窒化チタン膜の積層構造よりなるコンタクトプラグ 1 5 4 が埋め込まれている。

【0 1 7 8】

コンタクトプラグ 1 5 4 が埋め込まれた層間絶縁膜 1 5 2 上には、窒化チタン膜／アルミ膜／窒化チタン膜の積層膜よりなる配線層 1 5 6 が形成されている。

【0 1 7 9】

配線層 1 5 6 が形成された層間絶縁膜 1 5 2 上には、シリコン窒化膜／シリコン酸化膜の積層膜よりなるカバー膜 1 5 8 が形成されている。

【0 1 8 0】

こうして、7 層の銅配線と 1 層のアルミ配線とにより多層配線構造が構成された半導体装置が形成されている。

【0 1 8 1】

図 3 1 に示す半導体装置において、本発明は、コンタクトプラグ 1 5 4 の形成過程に適用することができる。これにより、コンタクトプラグ 1 5 4 の埋め込み

不良、ひいては層間絶縁膜 1 5 2 の亀裂を防止することができる。また、銅配線が埋め込み不良を生じる場合にあっては、配線層 1 2 0, 1 2 6, 1 3 2, 1 3 8, 1 4 4, 1 5 0 の形成過程に適用することができる。また、コンタクトプラグ 1 1 0 に溝状ビアを用いる場合にあっては、コンタクトプラグ 1 1 0 関しても埋め込み不良を防止することができる。

【0 1 8 2】

図 3 2 に示す半導体装置は、1 0 層の銅配線と 1 層のアルミ配線とにより多層配線構造を構成したものである。

【0 1 8 3】

シリコン基板 2 0 0 には、素子領域を確定する素子分離膜 2 0 2 が形成されている。素子分離膜 2 0 2 により画定された素子領域には、ゲート電極 2 0 4 とソース／ドレイン拡散層 2 0 6 とを有する MOS トランジスタが形成されている。

【0 1 8 4】

MOS トランジスタが形成されたシリコン基板 2 0 0 上には、PSG 膜／シリコン窒化膜の積層膜よりなる層間絶縁膜 2 0 8 が形成されている。層間絶縁膜 2 0 8 には、タングステン膜／窒化チタン膜の積層構造よりなるコンタクトプラグ 2 1 0 が埋め込まれている。

【0 1 8 5】

コンタクトプラグ 2 1 0 が埋め込まれた層間絶縁膜 2 0 8 上には、SiC 膜／SiLK 膜／SiC 膜の積層膜よりなる層間絶縁膜 2 1 2 が形成されている。層間絶縁膜 2 1 2 には、銅膜／タンタル膜の積層構造よりなり、ビア部と配線部とを有する配線層 2 1 4 が埋め込まれている。

【0 1 8 6】

配線層 2 1 4 が埋め込まれた層間絶縁膜 2 1 2 上には、SiC 膜／SiLK 膜／SiC 膜の積層膜よりなる層間絶縁膜 2 1 6 が形成されている。層間絶縁膜 2 1 6 には、銅膜／タンタル膜の積層構造よりなり、ビア部と配線部とを有する配線層 2 1 8 が埋め込まれている。

【0 1 8 7】

配線層 2 1 8 が埋め込まれた層間絶縁膜 2 1 6 上には、SiC 膜／SiLK 膜

／SiC膜の積層膜よりなる層間絶縁膜220が形成されている。層間絶縁膜220には、銅膜／タンタル膜の積層構造よりなり、ビア部と配線部とを有する配線層222が埋め込まれている。

【0188】

配線層222が埋め込まれた層間絶縁膜220上には、SiC膜／SiLK膜／SiC膜の積層膜よりなる層間絶縁膜224が形成されている。層間絶縁膜224には、銅膜／タンタル膜の積層構造よりなり、ビア部と配線部とを有する配線層226が埋め込まれている。

【0189】

配線層226が埋め込まれた層間絶縁膜224上には、SiOC膜／SiC膜の積層膜よりなる層間絶縁膜228が形成されている。層間絶縁膜228上には、SiOC膜／SiC膜の積層膜よりなる層間絶縁膜230が形成されている。層間絶縁膜228、230内には、銅膜／タンタル膜の積層構造よりなり、層間絶縁膜228内にビア部が埋め込まれ、層間絶縁膜230内に配線部が埋め込まれた配線層232が形成されている。

【0190】

配線層232が埋め込まれた層間絶縁膜230上には、SiOC膜／SiC膜の積層膜よりなる層間絶縁膜234が形成されている。層間絶縁膜234上には、SiOC膜／SiC膜の積層膜よりなる層間絶縁膜236が形成されている。層間絶縁膜234、236内には、銅膜／タンタル膜の積層構造よりなり、層間絶縁膜234内にビア部が埋め込まれ、層間絶縁膜236内に配線部が埋め込まれた配線層238が形成されている。

【0191】

配線層238が埋め込まれた層間絶縁膜236上には、SiOC膜／SiC膜の積層膜よりなる層間絶縁膜240が形成されている。層間絶縁膜240上には、SiOC膜／SiC膜の積層膜よりなる層間絶縁膜242が形成されている。層間絶縁膜240、242内には、銅膜／タンタル膜の積層構造よりなり、層間絶縁膜240内にビア部が埋め込まれ、層間絶縁膜242内に配線部が埋め込まれた配線層244が形成されている。

【0192】

配線層 2 4 4 が埋め込まれた層間絶縁膜 2 4 2 上には、SiOC膜/SiC膜の積層膜よりなる層間絶縁膜 2 4 6 が形成されている。層間絶縁膜 2 4 6 上には、SiOC膜/SiC膜の積層膜よりなる層間絶縁膜 2 4 8 が形成されている。層間絶縁膜 2 4 6, 2 4 8 内には、銅膜/タンタル膜の積層構造よりなり、層間絶縁膜 2 4 6 内にビア部が埋め込まれ、層間絶縁膜 2 4 8 内に配線部が埋め込まれた配線層 2 5 0 が形成されている。

【0193】

配線層 2 5 0 が埋め込まれた層間絶縁膜 2 4 8 上には、シリコン酸化膜/SiC膜の積層膜よりなる層間絶縁膜 2 5 2 が形成されている。層間絶縁膜 2 5 2 上には、シリコン酸化膜/SiC膜の積層膜よりなる層間絶縁膜 2 5 4 が形成されている。層間絶縁膜 2 5 2, 2 5 4 内には、銅膜/タンタル膜の積層構造よりなり、層間絶縁膜 2 5 2 内にビア部が埋め込まれ、層間絶縁膜 2 5 4 内に配線部が埋め込まれた配線層 2 5 6 が形成されている。

【0194】

配線層 2 5 6 が埋め込まれた層間絶縁膜 2 5 4 上には、シリコン酸化膜/SiC膜の積層膜よりなる層間絶縁膜 2 5 8 が形成されている。層間絶縁膜 2 5 8 上には、シリコン酸化膜/SiC膜の積層膜よりなる層間絶縁膜 2 6 0 が形成されている。層間絶縁膜 2 5 8, 2 6 0 内には、銅膜/タンタル膜の積層構造よりなり、層間絶縁膜 2 5 8 内にビア部が埋め込まれ、層間絶縁膜 2 6 0 内に配線部が埋め込まれた配線層 2 6 2 が形成されている。

【0195】

配線層 2 6 2 が埋め込まれた層間絶縁膜 2 6 0 上には、シリコン酸化膜/SiC膜の積層膜よりなる層間絶縁膜 2 6 4 が形成されている。層間絶縁膜 2 6 4 には、タングステン膜/窒化チタン膜の積層構造よりなるコンタクトプラグ 2 6 6 が埋め込まれている。

【0196】

コンタクトプラグ 2 6 6 が埋め込まれた層間絶縁膜 2 6 4 上には、窒化チタン膜/アルミ膜/窒化チタン膜の積層膜よりなる配線層 2 6 8 が形成されている。

【0197】

配線層 2 6 8 が形成された層間絶縁膜 2 6 4 上には、シリコン窒化膜／シリコン酸化膜の積層膜よりなるカバー膜 2 7 0 が形成されている。

【0198】

こうして、10層の銅配線と1層のアルミ配線とにより多層配線構造が構成された半導体装置が形成されている。

【0199】

図 3 2 に示す半導体装置において、本発明は、コンタクトプラグ 2 6 6 の形成過程に適用することができる。これにより、コンタクトプラグ 2 6 6 の埋め込み不良、ひいては層間絶縁膜 2 6 4 の亀裂を防止することができる。また、銅配線が埋め込み不良を生じる場合にあっては、配線層 2 1 4, 2 1 8, 2 2 2, 2 2 6, 2 3 2, 2 3 8, 2 4 4, 2 5 0, 2 5 6 の形成過程に適用することができる。また、コンタクトプラグ 2 1 0 に溝状ビアを用いる場合にあっては、コンタクトプラグ 2 1 0 関しても埋め込み不良を防止することができる。

【0200】

[変形実施形態]

本発明は、上記実施形態に限らず種々の変形が可能である。

【0201】

例えば、上記実施形態では、溝状ビアパターンを用いる構造体として主にインダクタを例にして説明したが、環状ビアパターンを用いる構造体は、インダクタに限られるものではない。

【0202】

複数の半導体装置をウェーハ上に形成する際、各半導体回路領域は、図 3 3 (a) に示すように、外部の水分等から保護するための耐湿リング 9 2 により囲まれている。この耐湿リング 9 2 は、図 3 3 (b) に示すように、溝状のビアパターン 9 4 を用いて構成される。また、図 3 4 (a) に示すように、冗長回路用のヒューズパターン 9 6 の周囲にも耐湿リング 9 2 が設けられるが、この耐湿リング 9 2 も、図 3 4 (b) に示すように、溝状のビアパターン 9 4 を用いて構成される。したがって、これら耐湿リングのパターン角部に本発明による構造を適用

することにより、耐湿リングの角部の層間絶縁膜に亀裂が入るのを防止することができ、半導体装置の耐湿性を向上することができる。

【0203】

また、上記実施形態では、最上層の配線層のみをアルミ配線により構成したが、2層以上のアルミ配線を形成してもよい。本発明は、銅配線とアルミ配線との接続にタングステンプラグを用いる構造を有する半導体装置に広く適用することができ、配線層構造や絶縁膜構造は、上記実施形態に記載の構造に限定されるものではない。

【0204】

また、埋め込み不良の観点で見れば、基板上のコンタクトプラグへの適用も可能であり、上層配線を形成するうえでの不具合も回避可能である。

【0205】

また、上記第6及び第7実施形態では、複数の溝状ビアパターンを隣接して設ける場合のパターン例として、第2実施形態のパターン又は第3実施形態のパターンを用いる例を説明したが、第1実施形態のパターン又は第4実施形態のパターンを用いて複数の溝状ビアパターンを形成してもよい。また、第1乃至第4実施形態に記載の2以上のパターンを組み合わせるようによってもよい。また、複数の溝状ビアパターンを隣接して設ける場合において、第5実施形態の補助パターンを外周部に設けるようによってもよい。

【0206】

以上詳述した通り、本発明の特徴をまとめると以下の通りとなる。

【0207】

(付記1) 基板上に形成され、少なくとも表面側に第1の配線層が埋め込まれた第1の絶縁膜と、前記第1の配線層が埋め込まれた前記第1の絶縁膜上に形成された第2の絶縁膜と、前記第1の配線層上の前記第2の絶縁膜に形成され、直角方向に屈曲する溝状のパターンを有する溝状ビアと、前記溝状ビアに充填された第1の埋め込み導電体とを有することを特徴とする半導体装置。

【0208】

なお、本願明細書にいう「充填」とは、溝状ビア或いは孔状ビア内に空洞が残

存しないように、すなわち埋め込み不良が生じないように、埋め込み導電体が形成されている状態をいう。

【 0 2 0 9 】

(付記 2) 付記 1 記載の半導体装置において、前記溝状ビアは、前記パターンの屈曲部の幅が直線部の幅以下であることを特徴とする半導体装置。

【 0 2 1 0 】

(付記 3) 付記 1 記載の半導体装置において、前記溝状ビアは、前記パターンの屈曲部において 90 度よりも大きい角度で複数回に分けて曲げられていることを特徴とする半導体装置。

【 0 2 1 1 】

(付記 4) 付記 3 記載の半導体装置において、前記溝状ビアは、前記パターンの前記屈曲部において 135 度で 2 回に分けて曲げられていることを特徴とする半導体装置。

【 0 2 1 2 】

(付記 5) 付記 3 又は 4 記載の半導体装置において、前記第 1 の配線層のパターンは、前記溝状ビアの前記パターンと同様に屈曲していることを特徴とする半導体装置。

【 0 2 1 3 】

(付記 6) 基板上に形成され、少なくとも表面側に直角方向に屈曲するパターンを有する第 1 の配線層が埋め込まれた第 1 の絶縁膜と、前記第 1 の配線層が埋め込まれた前記第 1 の絶縁膜上に形成された第 2 の絶縁膜と、前記第 1 の配線層上の前記第 2 の絶縁膜に形成され、溝状のパターンを有する溝状ビアと、前記溝状ビアに充填された第 1 の埋め込み導電体とを有し、前記溝状ビアは、前記パターンの角部において不連続になっていることを特徴とする半導体装置。

【 0 2 1 4 】

(付記 7) 付記 1 乃至 6 のいずれか 1 項に記載の半導体装置において、前記第 1 の配線層上の前記第 2 の絶縁膜に形成された孔状ビアと、前記孔状ビアに充填された第 2 の埋め込み導電体とを更に有することを特徴とする半導体装置。

【 0 2 1 5 】

(付記 8) 付記 7 記載の半導体装置において、前記溝状ビアの幅は、前記孔状ビアの幅の 20%~140%の幅を有することを特徴とする半導体装置。

【0216】

(付記 9) 付記 7 記載の半導体装置において、前記溝状ビアの幅は、前記孔状ビアの幅以下であることを特徴とする半導体装置。

【0217】

(付記 10) 付記 1 乃至 9 のいずれか 1 項に記載の半導体装置において、前記第 1 の配線層上の前記第 2 の絶縁膜に形成され、複数の溝が隣接して設けられた溝状ビアパターンを有し、前記溝状ビアパターンの少なくとも一部が前記溝状ビアにより構成されていることを特徴とする半導体装置。

【0218】

(付記 11) 付記 10 記載の半導体装置において、前記溝状パターンの最外周に前記溝状パターンが形成されていることを特徴とする半導体装置。

【0219】

(付記 12) 付記 10 又は 11 記載の半導体装置において、前記溝状ビアパターンは、前記第 1 の配線層の一のパターン上に形成されていることを特徴とする半導体装置。

【0220】

(付記 13) 付記 1 乃至 12 のいずれか 1 項に記載の半導体装置において、前記溝状ビアは、前記第 1 の配線層のパターンの延在方向に沿って形成されていることを特徴とする半導体装置。

【0221】

(付記 14) 付記 1 乃至 13 のいずれか 1 項に記載の半導体装置において、前記第 1 の絶縁膜に埋め込まれた前記第 1 の配線層が、前記基板に埋め込まれた導電層であることを特徴とする半導体装置。

【0222】

(付記 15) 付記 1 乃至 14 のいずれか 1 項に記載の半導体装置において、前記第 1 の配線層は、銅を主体とする導電体により構成されていることを特徴とする半導体装置。

【 0 2 2 3 】

(付記 1 6) 付記 1 乃至 1 5 のいずれか 1 項に記載の半導体装置において、前記第 2 の絶縁膜上に形成され、アルミを主体とする導電体よりなる第 2 の配線層を更に有することを特徴とする半導体装置。

【 0 2 2 4 】

(付記 1 7) 付記 1 6 記載の半導体装置において、前記第 1 の配線層と前記第 2 の配線層とは等しいパターンを有することを特徴とする半導体装置。

【 0 2 2 5 】

(付記 1 8) 半導体基板に形成された不純物拡散領域と、前記半導体基板上に形成された第 1 の絶縁膜と、前記不純物拡散領域上の第 1 の絶縁膜に形成され、直角方向に屈曲する溝状のパターンを有する溝状ビアと、前記不純物拡散領域上の前記第 1 の絶縁膜に形成された孔状ビアと、前記溝状ビアに充填された第 1 の埋め込み導電体と前記孔状ビアに充填された第 2 の埋め込み導電体とを有し、前記溝状ビアの幅は、前記孔状ビアの幅の 2 0 % ~ 1 4 0 % の幅を有することを特徴とする半導体装置。

【 0 2 2 6 】

(付記 1 9) 付記 1 乃至 1 8 のいずれか 1 項に記載の半導体装置において、前記第 1 の埋め込み導電体及び前記第 2 の埋め込み導電体は、タングステンを主体とする導電体により構成されていることを特徴とする半導体装置。

【 0 2 2 7 】

(付記 2 0) 付記 1 乃至 1 7 のいずれか 1 項に記載の半導体装置において、前記第 2 の絶縁膜は、シリコン窒化膜とシリコン酸化膜との積層膜又は S i C 膜とシリコン酸化膜との積層膜により構成されていることを特徴とする半導体装置。

【 0 2 2 8 】

(付記 2 1) 付記 1 乃至 2 0 のいずれか 1 項に記載の半導体装置において、前記第 1 の絶縁膜は、シリコン窒化膜とシリコン酸化膜との積層膜又は S i C 膜と S i O C 膜との積層膜により構成されていることを特徴とする半導体装置。

【 0 2 2 9 】

(付記 2 2) 基板上に形成され、少なくとも表面側に第 1 の配線層が埋め込まれた第 1 の絶縁膜と、前記第 1 の配線層が埋め込まれた前記第 1 の絶縁膜上に形成され、前記第 1 の配線層上に開口された溝状ビア及び孔状ビアを有する第 2 の絶縁膜とを有する半導体装置の製造方法であって、前記第 2 の絶縁膜に前記溝状ビア及び前記孔状ビアを形成する際に、前記溝状ビアの設計デザイン上における幅が、前記孔状ビアの設計デザイン上における幅よりも狭いマスクパターンを用い、前記孔状ビア及び前記溝状ビアを形成することを特徴とする半導体装置の製造方法。

【0 2 3 0】

(付記 2 3) 基板上に形成され、少なくとも表面側に第 1 の配線層が埋め込まれた第 1 の絶縁膜と、前記第 1 の配線層が埋め込まれた前記第 1 の絶縁膜上に形成され、前記第 1 の配線層上に開口された溝状ビア及び孔状ビアと、前記溝状ビア及び前記孔状ビアのそれぞれに埋め込まれた埋め込み導電体とを有する第 2 の絶縁膜とを有する半導体装置の製造方法であって、前記埋め込み導電体を形成する際に、前記溝状ビアの最大幅を考慮して、前記埋め込み導電体となる導電膜の堆積膜厚を設定し、前記孔状ビア及び前記溝状ビアを前記埋め込み導電体により充填することを特徴とする半導体装置の製造方法。

【0 2 3 1】

【発明の効果】

以上の通り、本発明によれば、絶縁膜に形成された孔状パターンや溝状パターンに導電体が埋め込まれてなる構造を有する半導体装置において、孔状パターンと溝状パターンとでビアホールの出来上がりサイズに差が生じる場合であっても、埋め込み導電体や配線層の埋め込み不良を防止することができる。また、埋め込み導電体の埋め込み不良を防止する結果、層間絶縁膜に亀裂が生じることを防止できる。また、埋め込み導電体上の段差を低減できるので、上層の配線層や絶縁層にこの段差が反映されることを防止することができる。これにより、上層に形成する配線層との間のコンタクト不良や積層時の問題を回避することができ、ひいては耐湿性及び配線信頼性の高い半導体装置を提供することが可能となる。

【図面の簡単な説明】

【図 1】

インダクタ素子部と通常の内部配線部とにおける設計デザイン上でのパターンを示す平面図である。

【図 2】

インダクタ素子部と通常の内部配線部とにおけるウェーハ上でのパターンの出来上がりイメージを示す平面図である。

【図 3】

インダクタ素子部を走査型電子顕微鏡により撮影した結果を示す図である。

【図 4】

本発明の第 1 実施形態による半導体装置の構造を示す設計デザイン上における平面図である。

【図 5】

本発明の第 1 実施形態による半導体装置の構造を示す概略断面図（その 1）である。

【図 6】

本発明の第 1 実施形態による半導体装置の構造を示す概略断面図（その 2）である。

【図 7】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 8】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 9】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 10】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 4）である。

【図 1 1】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 5）である。

【図 1 2】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 6）である。

【図 1 3】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 7）である。

【図 1 4】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 8）である。

【図 1 5】

本発明の第 2 実施形態による半導体装置の構造を示す設計デザイン上の平面図である。

【図 1 6】

本発明の第 2 実施形態の変形例による半導体装置の構造を示す設計デザイン上の平面図である。

【図 1 7】

本発明の第 3 実施形態による半導体装置の構造を示す設計デザイン上の平面図である。

【図 1 8】

本発明の第 4 実施形態による半導体装置の構造を示す設計デザイン上の平面図である。

【図 1 9】

本発明の第 5 実施形態による半導体装置の構造を示す平面図である。

【図 2 0】

本発明の第 5 実施形態の変形例による半導体装置の構造を示す平面図である。

【図 2 1】

本発明の第 6 実施形態による半導体装置の構造を示す平面図である。

【図 2 2】

本発明の第 6 実施形態の変形例による半導体装置の構造を示す平面図（その 1）である。

【図 2 3】

本発明の第 6 実施形態の変形例による半導体装置の構造を示す平面図（その 2）である。

【図 2 4】

本発明の第 7 実施形態による半導体装置の構造を示す平面図である。

【図 2 5】

本発明の第 7 実施形態の変形例による半導体装置の構造を示す平面図である。

【図 2 6】

本発明の第 8 実施形態による半導体装置の構造を示す概略断面図である。

【図 2 7】

本発明の第 8 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 2 8】

本発明の第 8 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 2 9】

コンタクトプラグの埋め込み不良が生じる原因を説明する図である。

【図 3 0】

コンタクトプラグの埋め込み不良を防止する製造工程上の手段を説明する図である。

【図 3 1】

本発明の第 9 実施形態による半導体装置の構造を示す概略断面図である。

【図 3 2】

本発明の第 9 実施形態の他の例による半導体装置の構造を示す概略断面図である。

【図 3 3】

本発明の変形実施形態による半導体装置の構造を示す平面図（その 1）である。

【図 3 4】

本発明の変形実施形態による半導体装置の構造を示す平面図（その 2）である。

【図 3 5】

インダクタを有する従来の半導体装置の構造を示す平面図である。

【図 3 6】

インダクタを有する従来の半導体装置の構造を示す概略断面図である。

【図 3 7】

本願発明者が着想した新たな構造及びその課題を示す概略断面図である。

【図 3 8】

従来の半導体装置における課題を示す概略断面図である。

【符号の説明】

- 1 0, 1 4 … 配線層
- 1 2 … 溝状ビアパターン
- 1 6 … ビアホール
- 2 0 … 基板
- 2 2, 3 6, 4 0, 6 0 … エッチングストップ膜
- 2 4, 3 8, 4 2, 6 2 … 層間絶縁膜
- 2 6, 4 4, 5 0, 6 4, 8 0 … フォトリソグ膜
- 2 8, 5 2 … 配線溝
- 3 0, 5 4 … タンタル膜
- 3 0 a, 5 4 a … 拡散防止膜
- 3 2, 5 6 … 銅膜
- 3 4, 5 8, 8 2 … 配線層
- 4 6, 4 6 a, 6 6, 6 6 a … ビアホール
- 4 8 … 非感光性樹脂

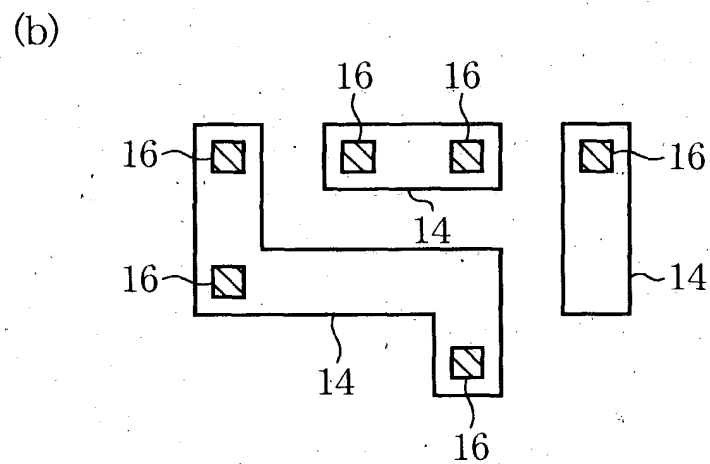
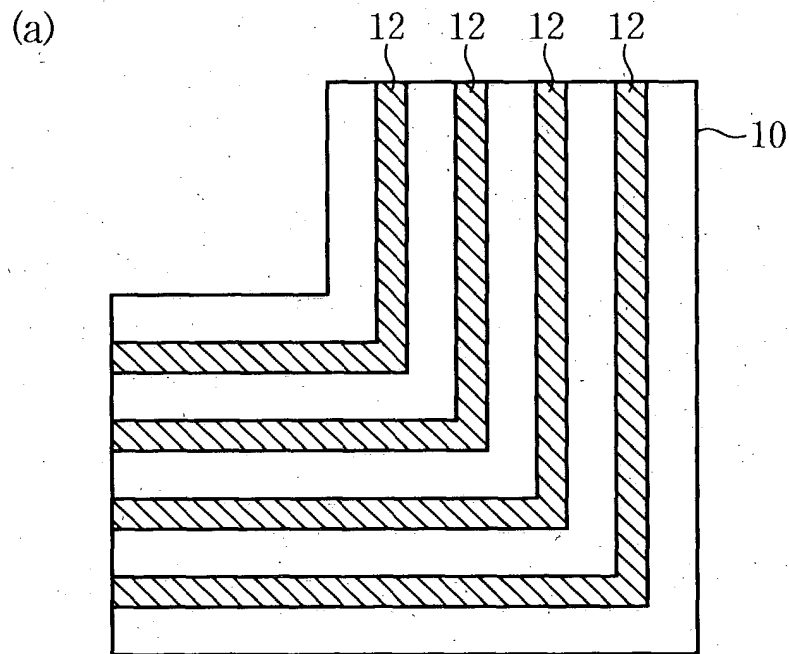
6 8 …窒化チタン膜
 6 8 a …バリアメタル層
 7 0 …タングステン膜
 7 2, 7 2 a …コンタクトプラグ
 7 4, 7 8 …窒化チタン膜
 7 6 …アルミ膜
 8 4 …シリコン酸化膜
 8 6 …シリコン窒化膜
 8 8, 9 0 …補助パターン
 9 2 …耐湿リング
 9 4 …溝状のビアパターン
 9 6 …ヒューズパターン
 1 0 0 …シリコン基板
 1 0 2 …素子分離膜
 1 0 4 …ゲート電極
 1 0 6 …ソース／ドレイン拡散層
 1 0 8, 1 1 2, 1 1 6, 1 1 8, 1 2 2, 1 2 4, 1 2 8, 1 3 0, 1 3 4,
 1 3 6, 1 4 0, 1 4 6, 1 4 8, 1 5 2 …層間絶縁膜
 1 1 0, 1 5 4 …コンタクトプラグ
 1 1 4, 1 2 0, 1 2 6, 1 3 2, 1 3 8, 1 4 4, 1 5 0, 1 5 6 …配線層
 1 5 8 …カバー膜
 2 0 0 …シリコン基板
 2 0 2 …素子分離膜
 2 0 4 …ゲート電極
 2 0 6 …ソース／ドレイン拡散層
 2 0 8, 2 1 2, 2 1 6, 2 2 0, 2 2 4, 2 2 8, 2 3 0, 2 3 4, 2 3 6,
 2 4 0, 2 4 6, 2 4 8, 2 5 2, 2 5 4, 2 5 8, 2 6 0, 2 6 4 …層間絶縁
 膜
 2 1 0, 2 6 6 …コンタクトプラグ

214, 218, 222, 226, 232, 238, 244, 250, 256,
262, 268…配線層
270…カバー膜
300…基板
302, 316, 320, 340, 344…エッチングストッパ膜
304, 318, 322, 342, 346…層間絶縁膜
310, 334, 352…拡散防止膜
312, 336, 354…銅膜
314, 338, 356, 370…配線層
358…バリアメタル層
360…タンゲステン膜
362…コンタクトプラグ
364, 368…窒化チタン膜
366…アルミ膜
400…シリコン基板
402…不純物拡散領域
404, 406, 408, 410…絶縁膜
412…バリアメタル層
414…タンゲステン膜
416…コンタクトプラグ
418…拡散防止膜
420…銅膜
422…配線層

【書類名】 図面

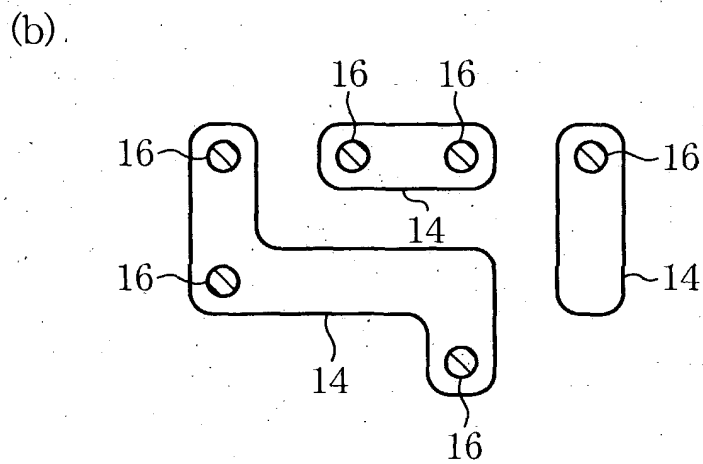
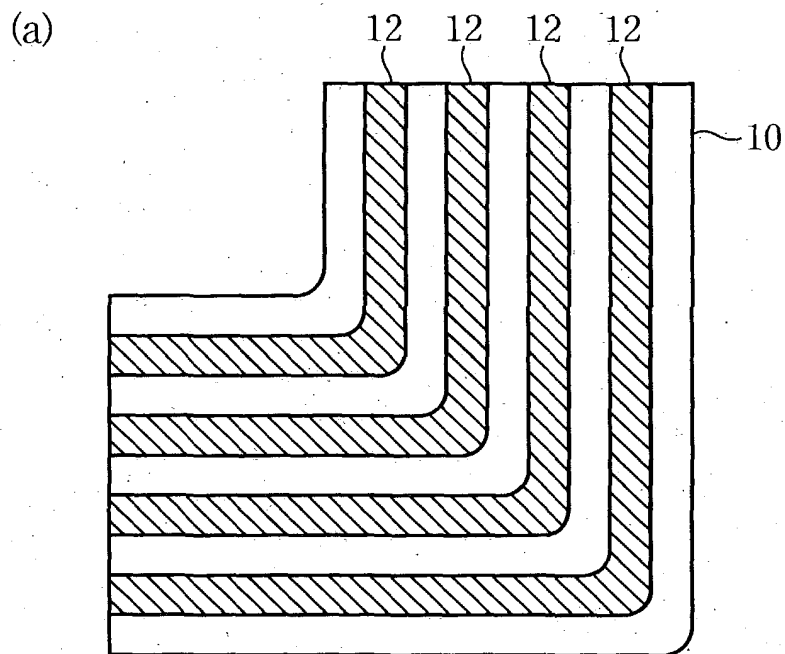
【図 1】

インダクタ素子部と通常の内部配線部における
設計デザイン上でのパターンを示す平面図



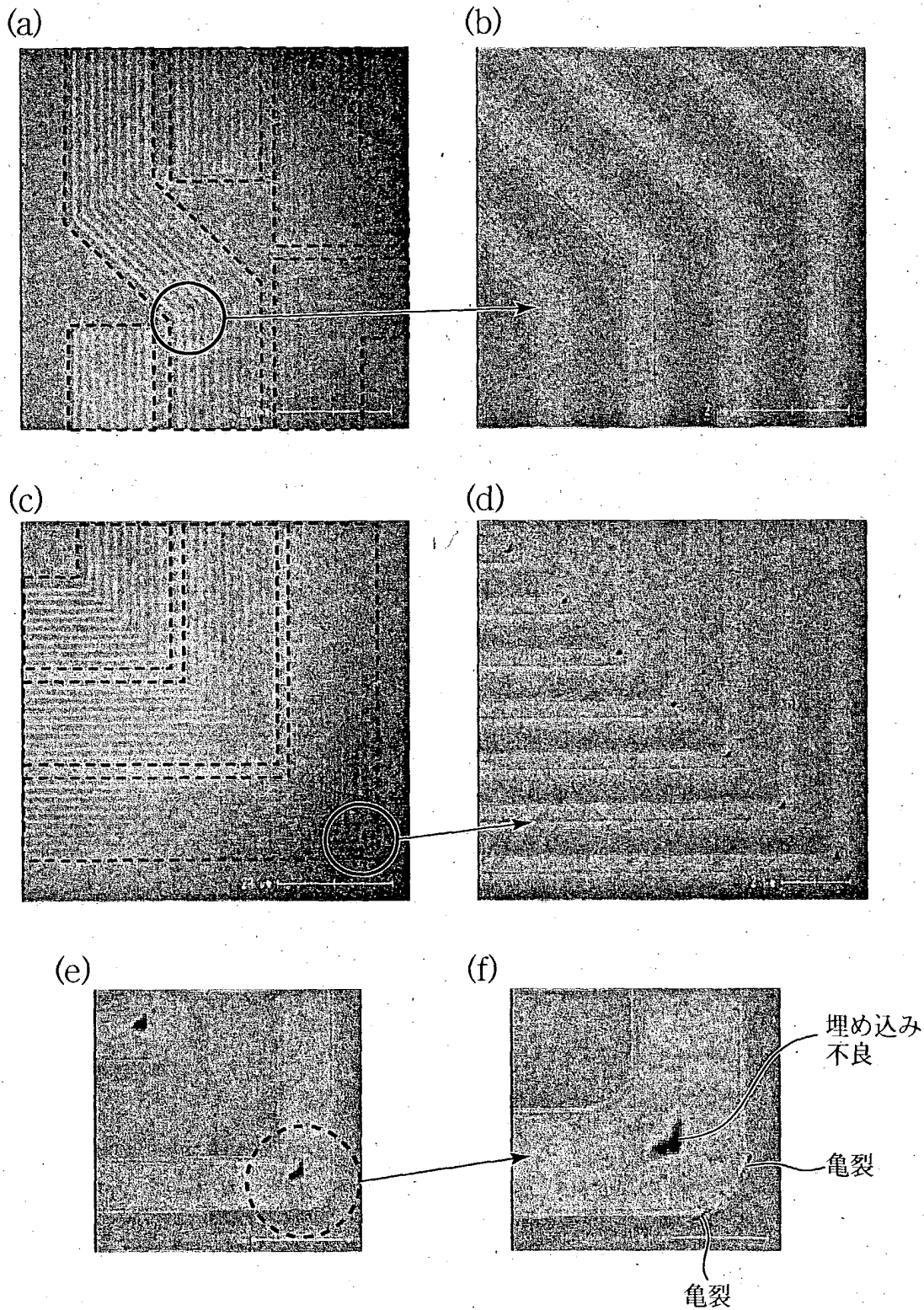
【図 2】

インダクタ素子部と通常の内部配線部とにおけるウェーハ上での
パターンの出来上がりイメージを示す平面図



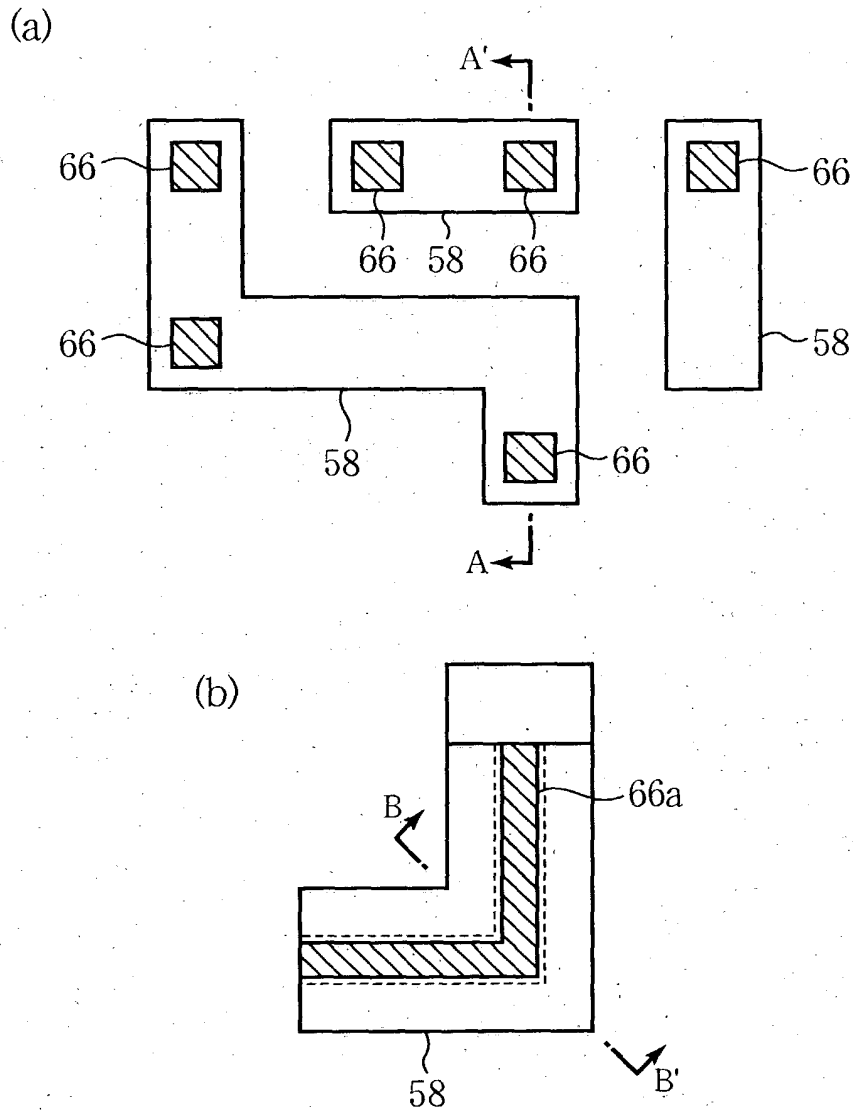
【図3】

インダクタ素子部を走査型電子顕微鏡により撮影した結果を示す図



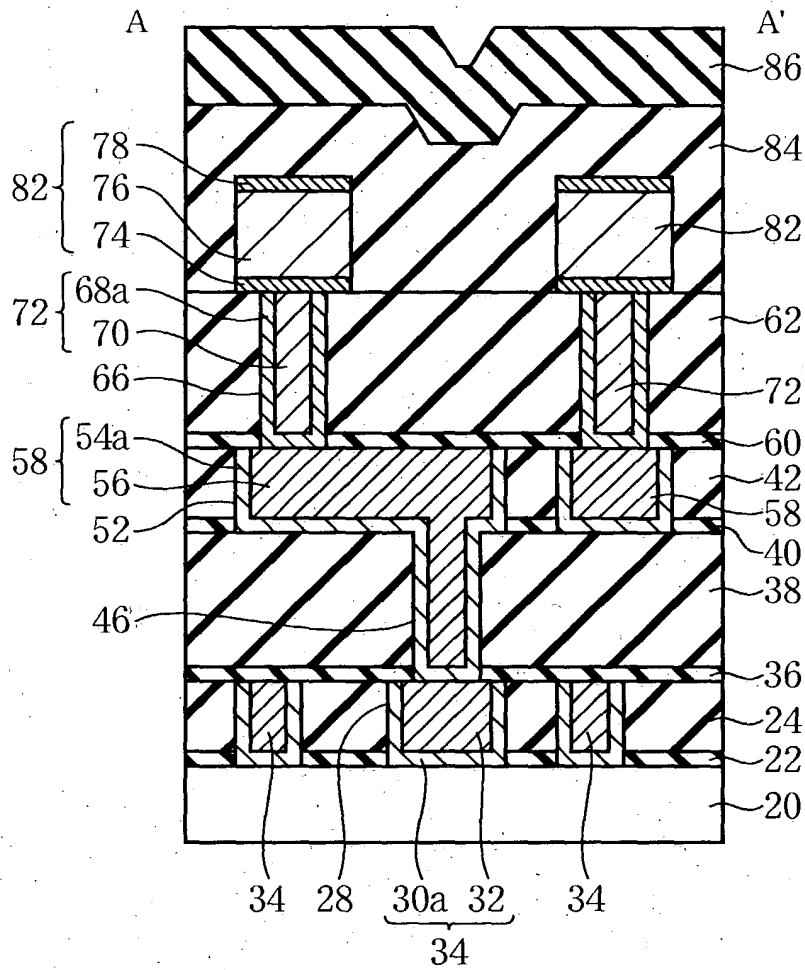
【図 4】

本発明の第 1 実施形態による半導体装置の構造を示す
設計デザイン上における平面図



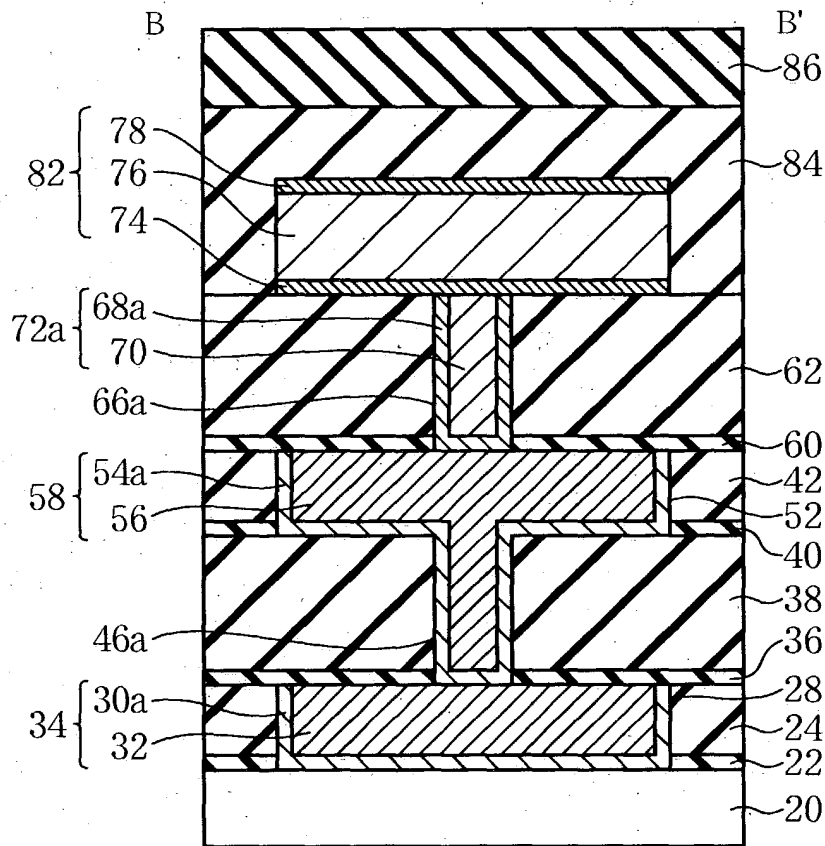
【図 5】

本発明の第 1 実施形態による半導体装置の構造を示す
概略断面図(その 1)



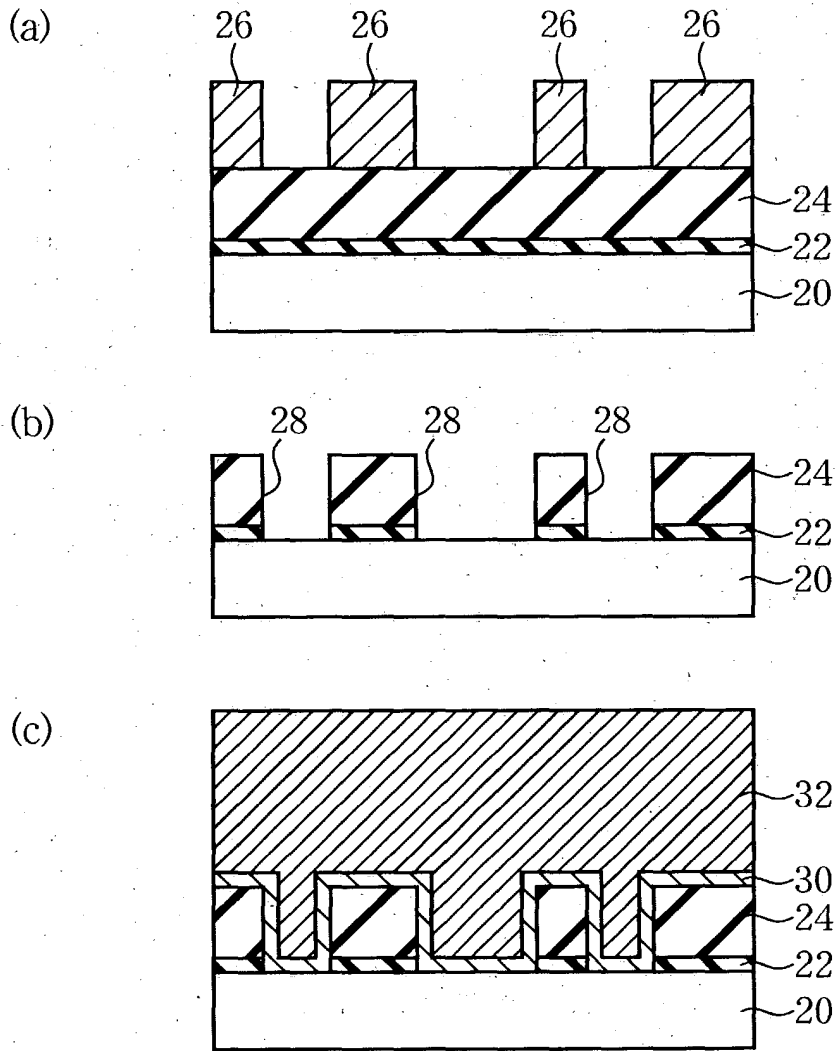
【図 6】

本発明の第 1 実施形態による半導体装置の構造を示す概略断面図(その 2)



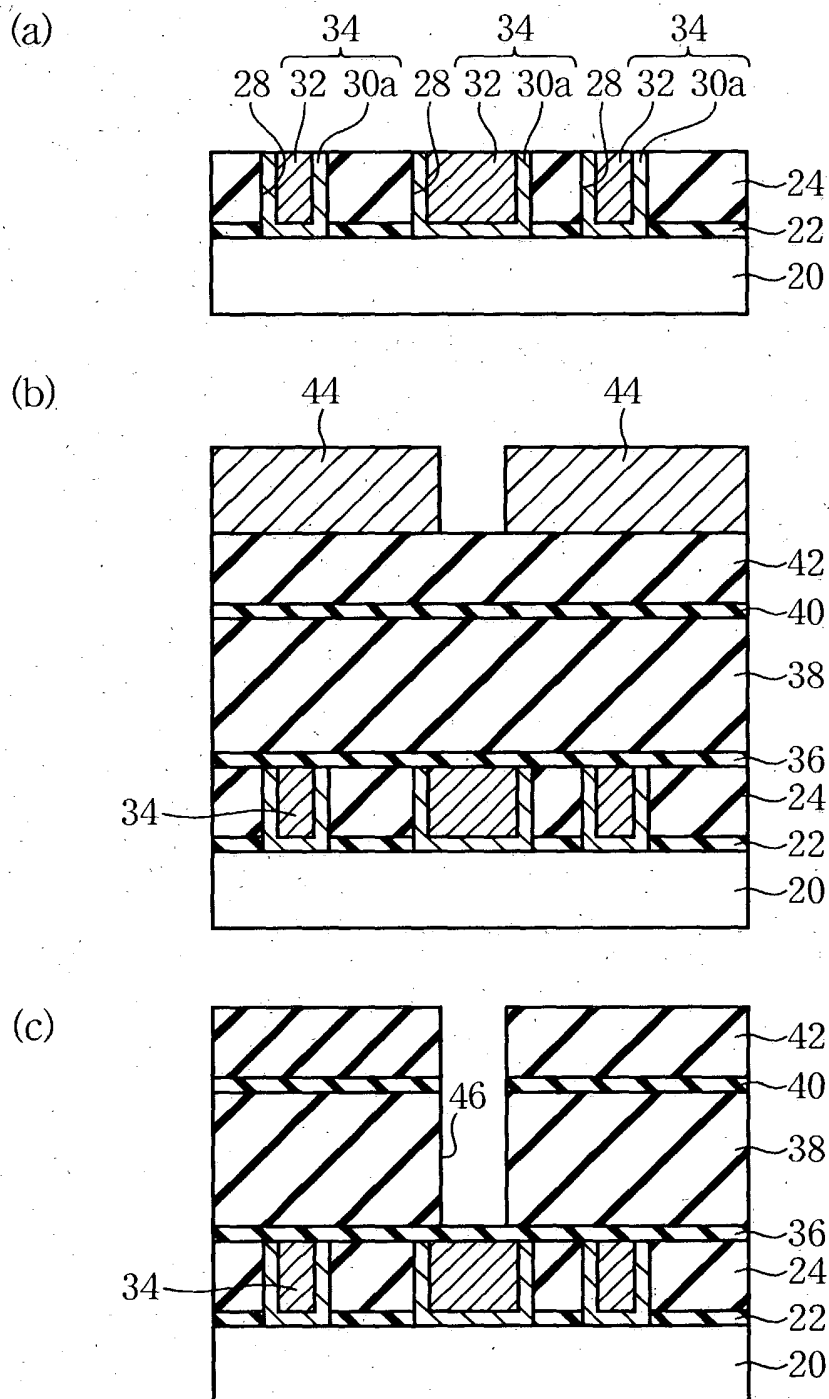
【図 7】

本発明の第 1 実施形態による半導体装置の製造方法を示す
工程断面図(その 1)



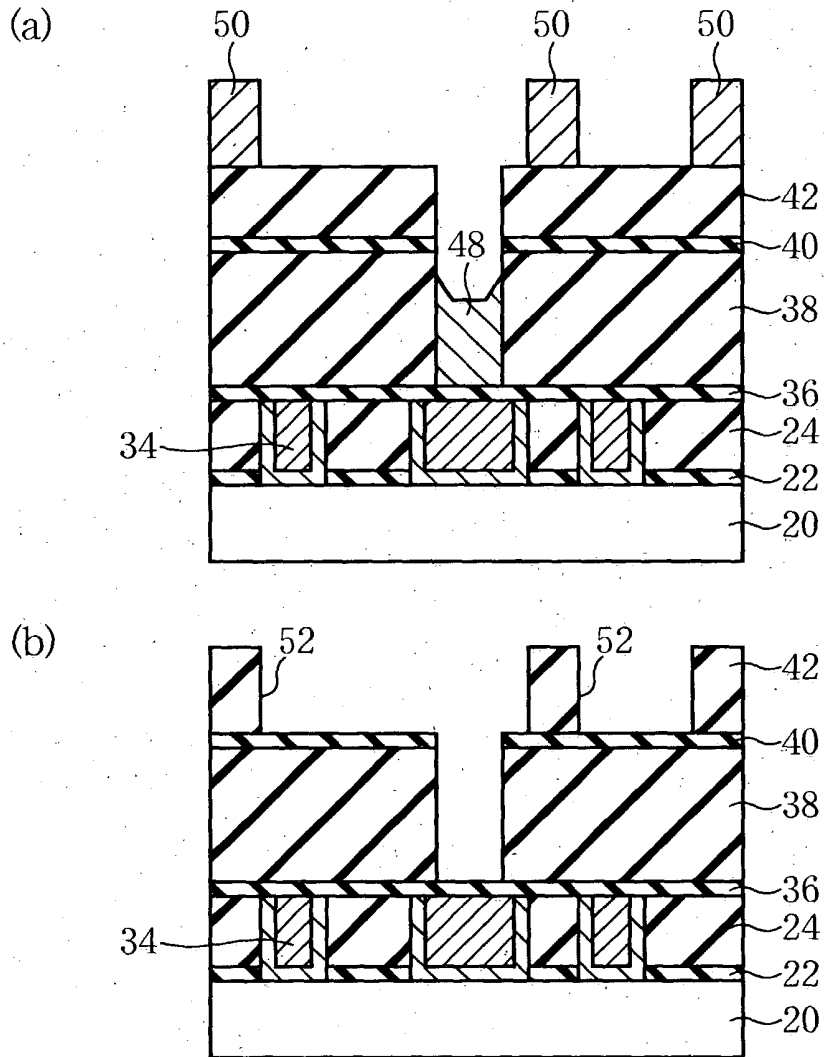
【図 8】

本発明の第 1 実施形態による半導体装置の製造方法を示す
工程断面図(その 2)



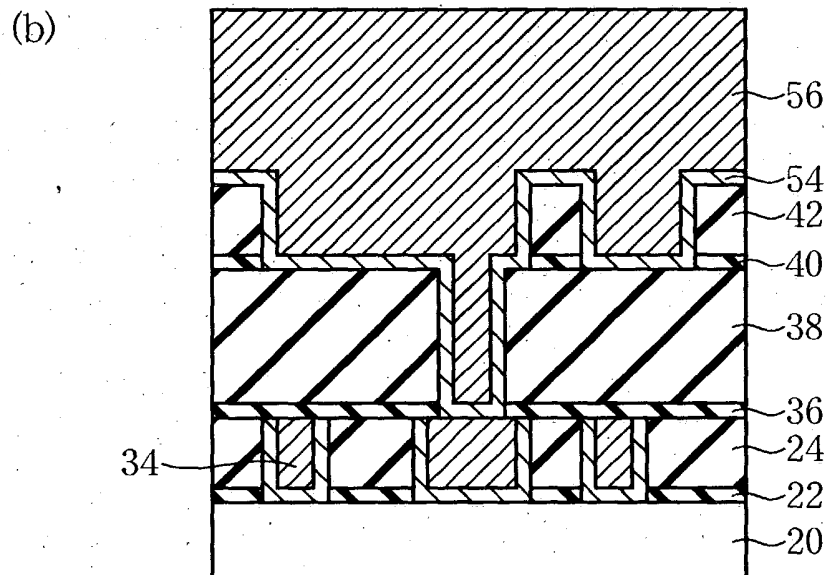
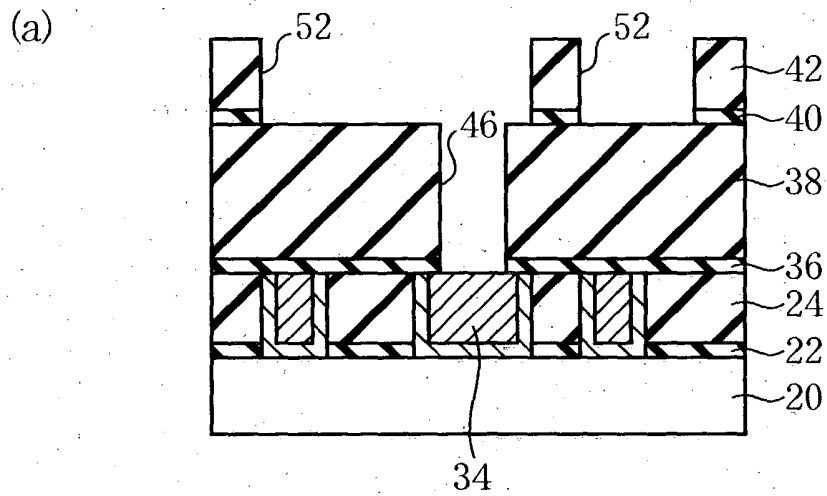
【図 9】

本発明の第 1 実施形態による半導体装置の製造方法を示す
工程断面図(その 3)



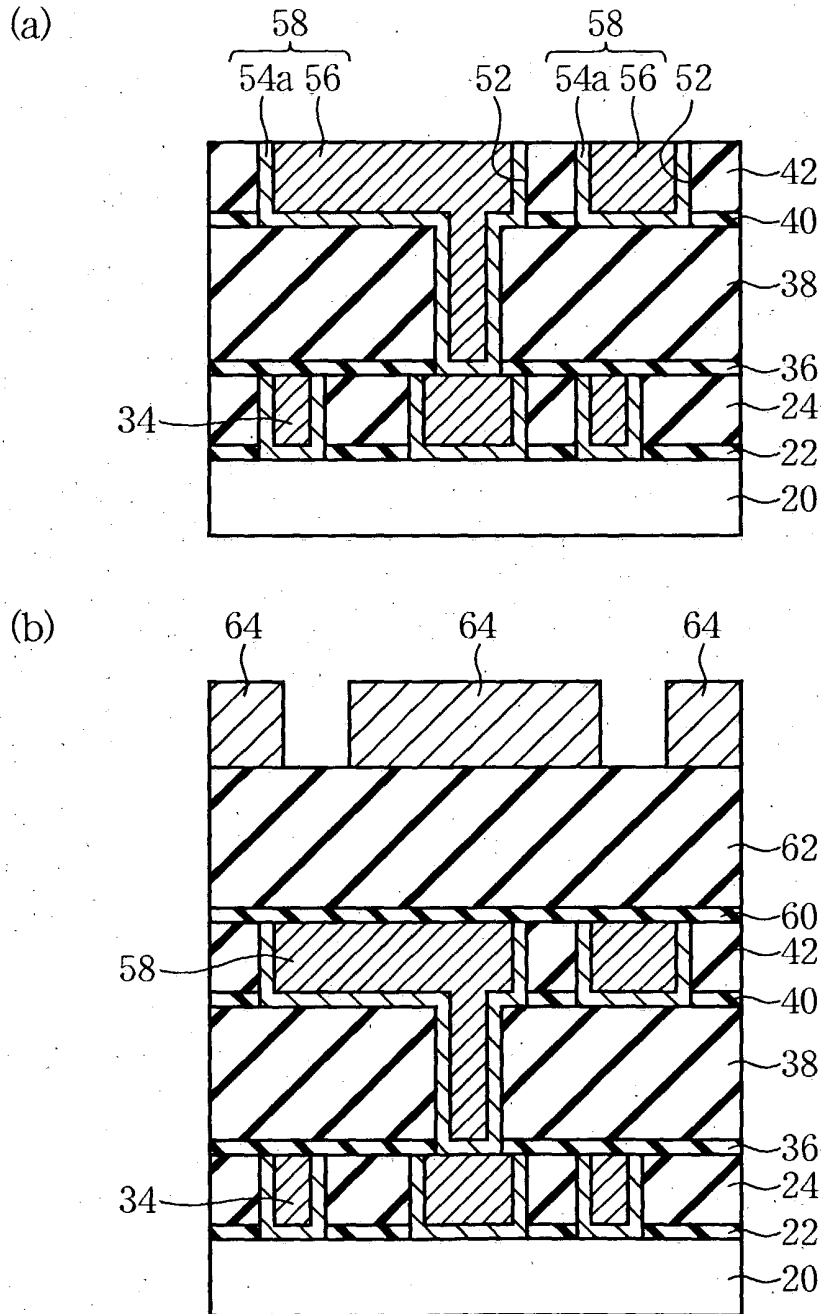
【図 1 0】

本発明の第 1 実施形態による半導体装置の製造方法を示す
工程断面図(その 4)



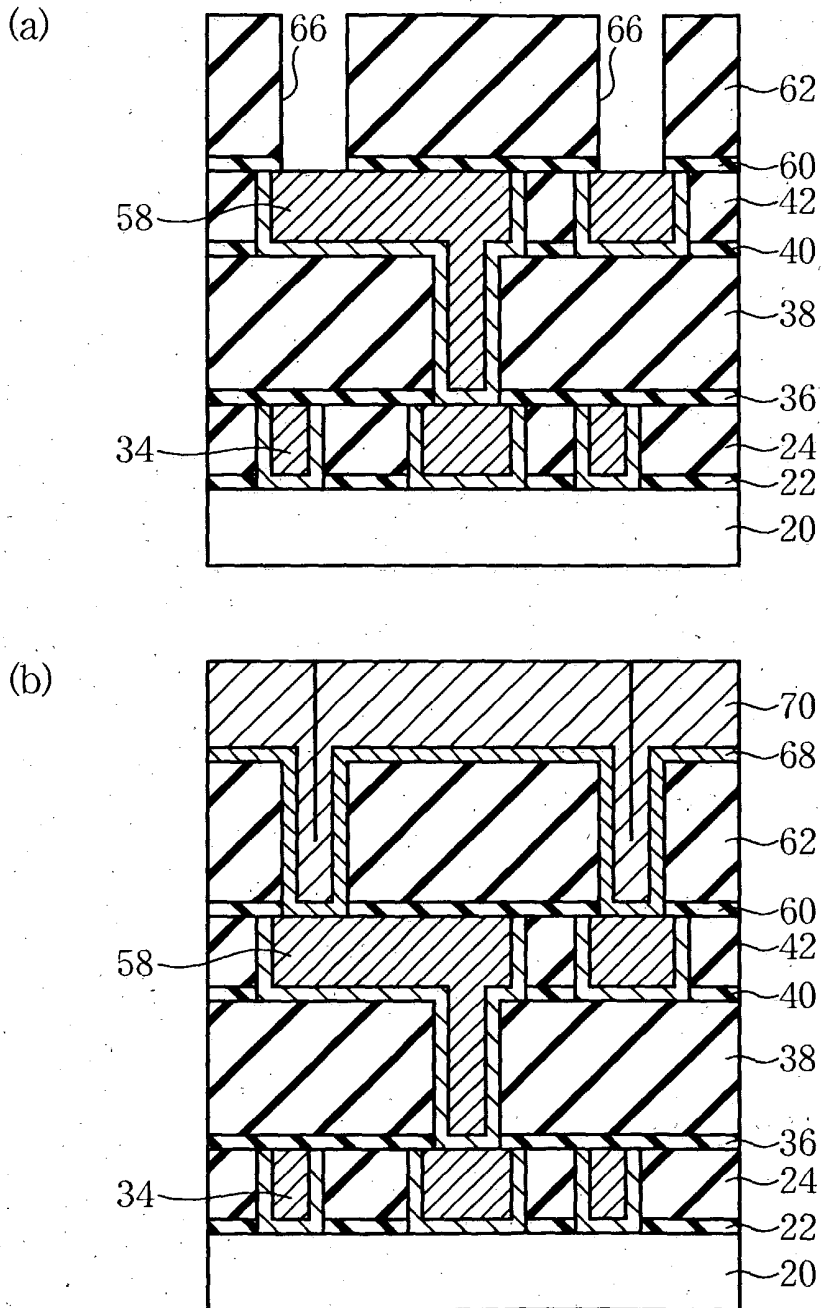
【図 1-1】

本発明の第 1 実施形態による半導体装置の製造方法を示す
工程断面図(その 5)



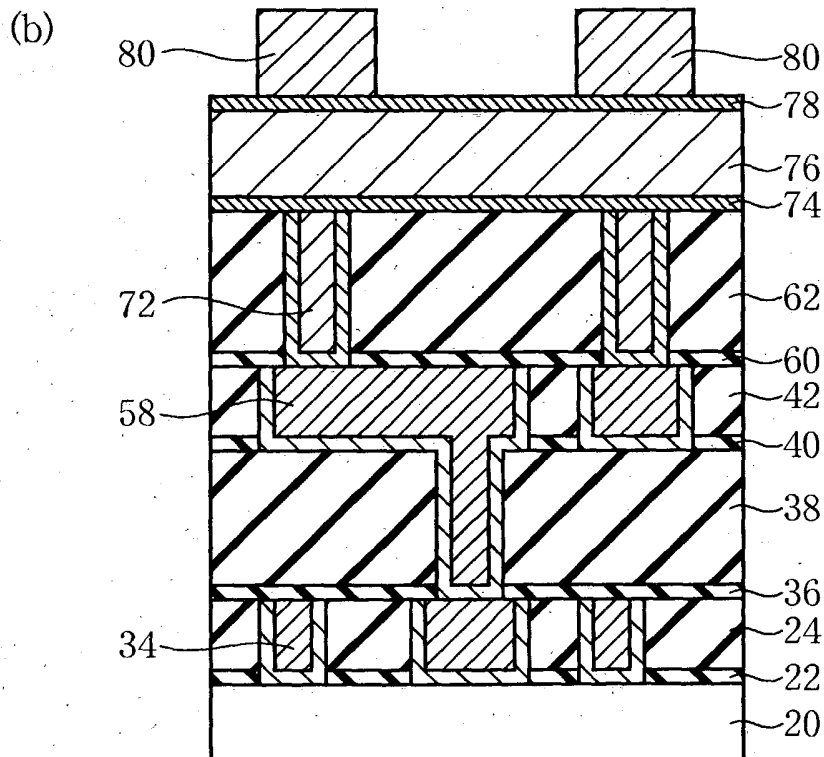
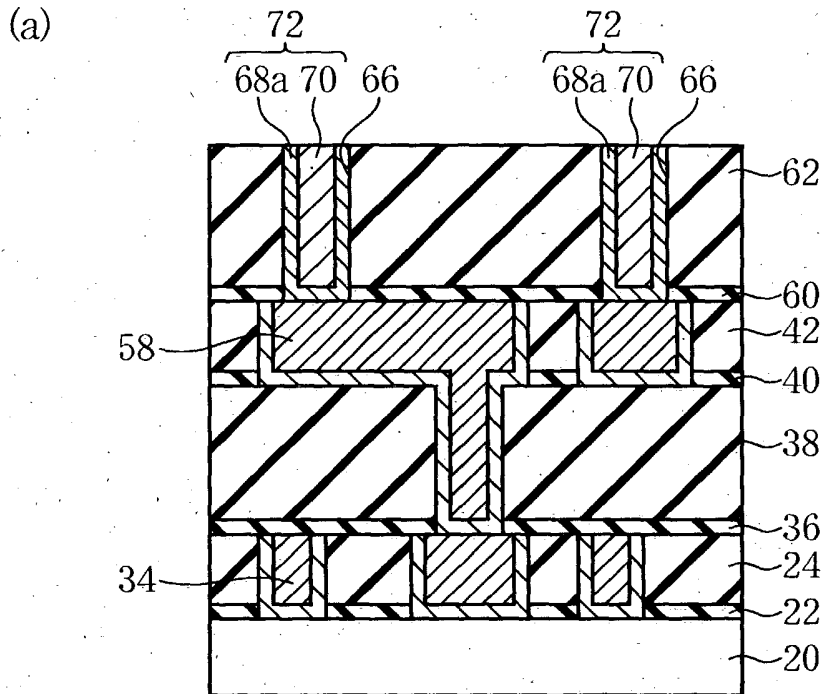
【図 1 2】

本発明の第 1 実施形態による半導体装置の製造方法を示す
工程断面図(その 6)



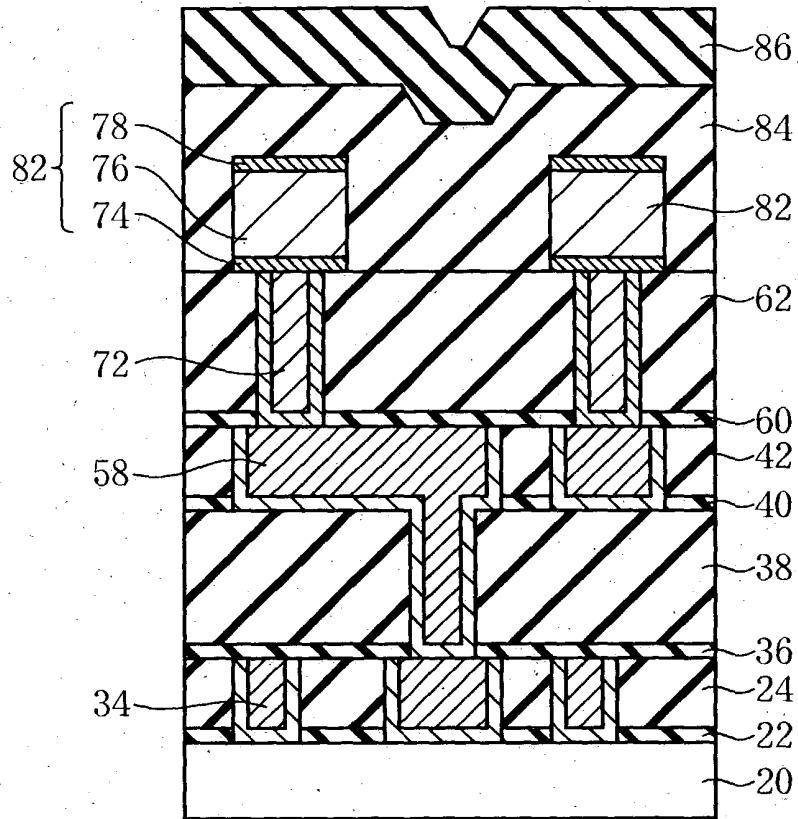
【図13】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その7)



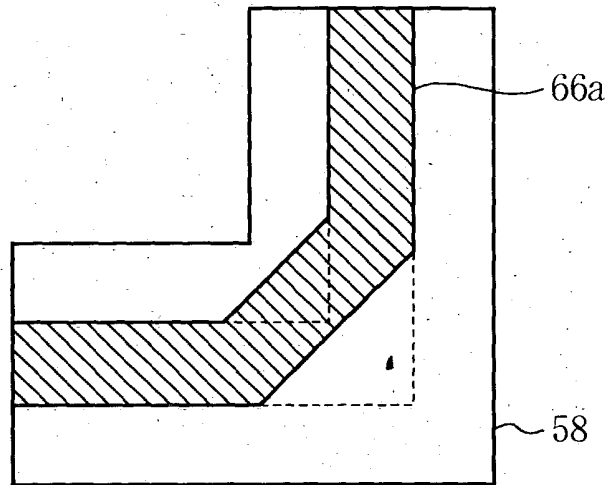
【図 1 4】

本発明の第 1 実施形態による半導体装置の製造方法を示す
工程断面図(その 8)



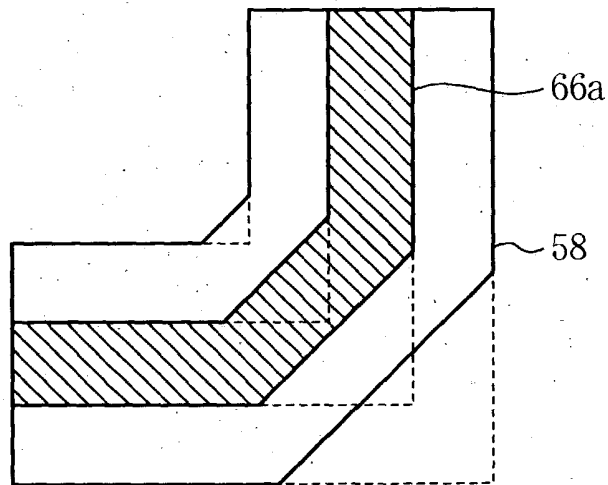
【図 1 5】

本発明の第 2 実施形態による半導体装置の構造を示す
設計デザイン上の平面図



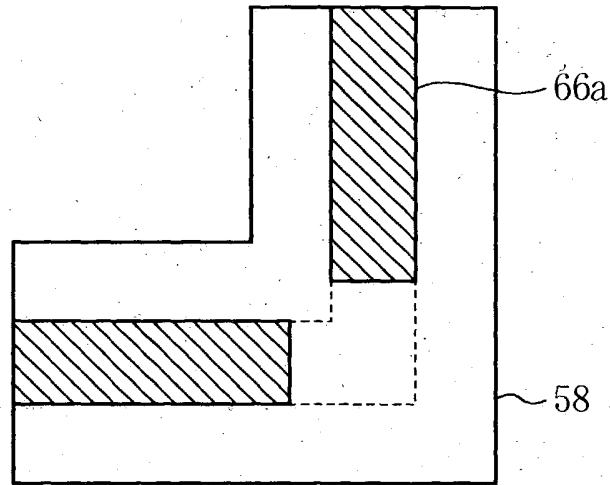
【図 1 6】

本発明の第 2 実施形態の変形例による半導体装置の構造を示す
設計デザイン上の平面図



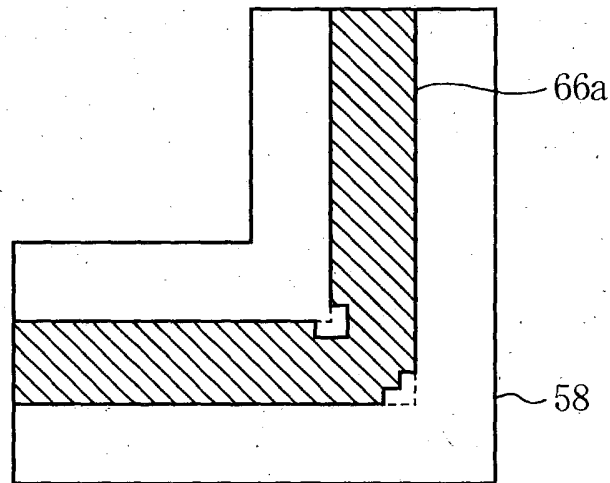
【図17】

本発明の第3実施形態による半導体装置の構造を示す
設計デザイン上の平面図



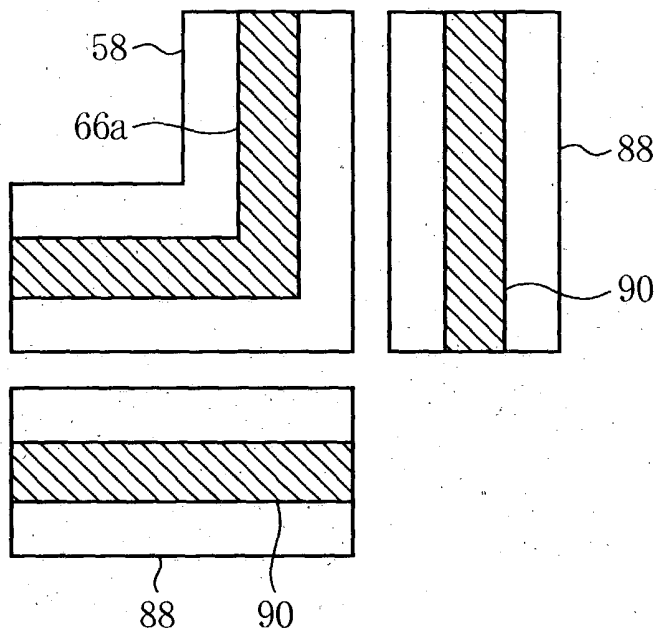
【図18】

本発明の第4実施形態による半導体装置の構造を示す
設計デザイン上の平面図



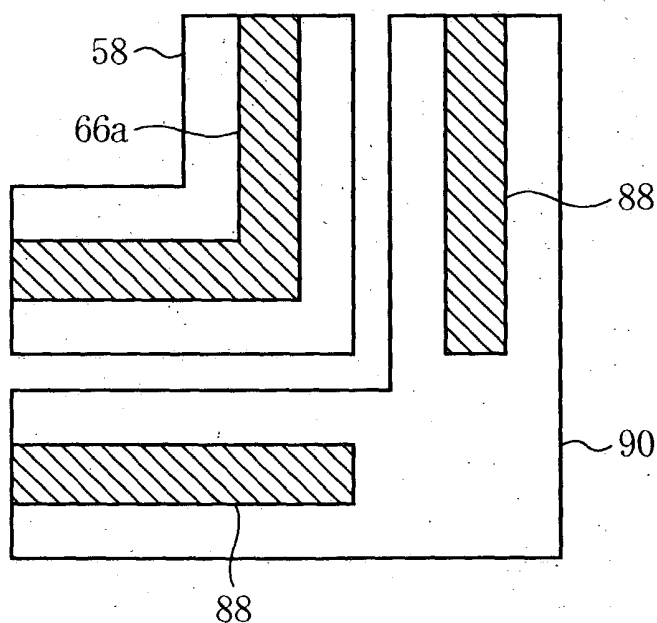
【図 1 9】

本発明の第 5 実施形態による半導体装置の構造を示す平面図



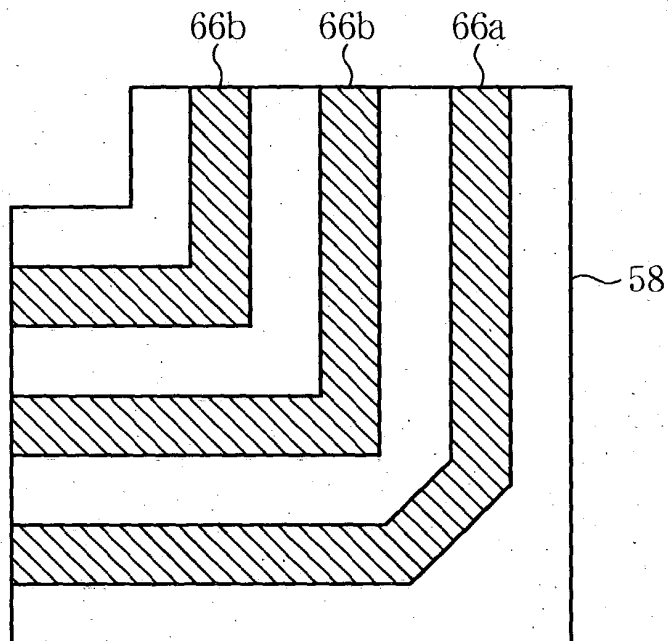
【図 2 0】

本発明の第 5 実施形態の変形例による半導体装置の構造を示す平面図



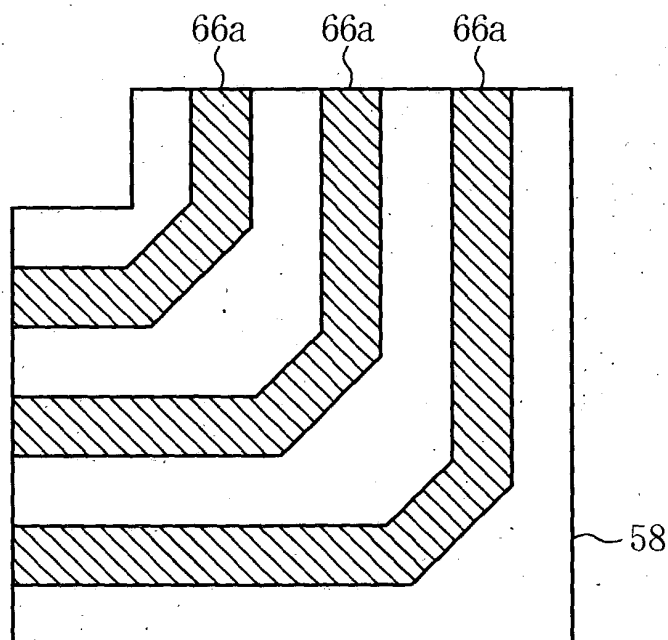
【図 21】

本発明の第6実施形態による半導体装置の構造を示す平面図



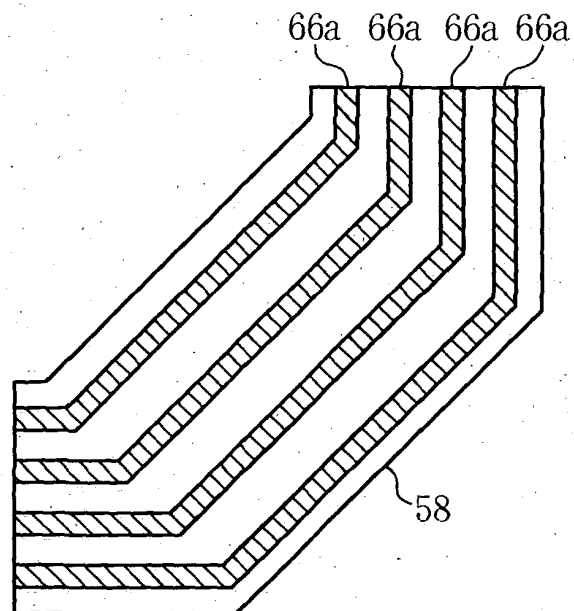
【図 22】

本発明の第6実施形態の変形例による半導体装置の構造を示す平面図(その1)



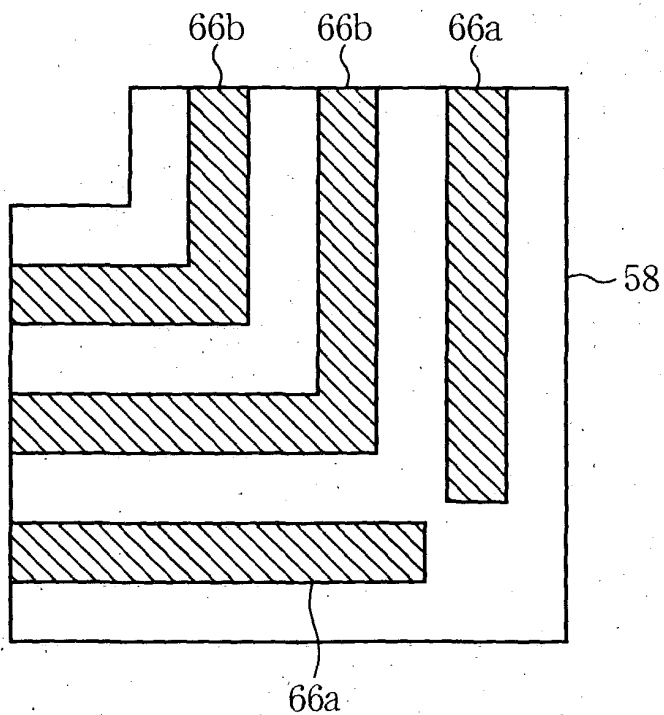
【図 2 3】

本発明の第 6 実施形態の変形例による半導体装置の構造を示す平面図(その 2)



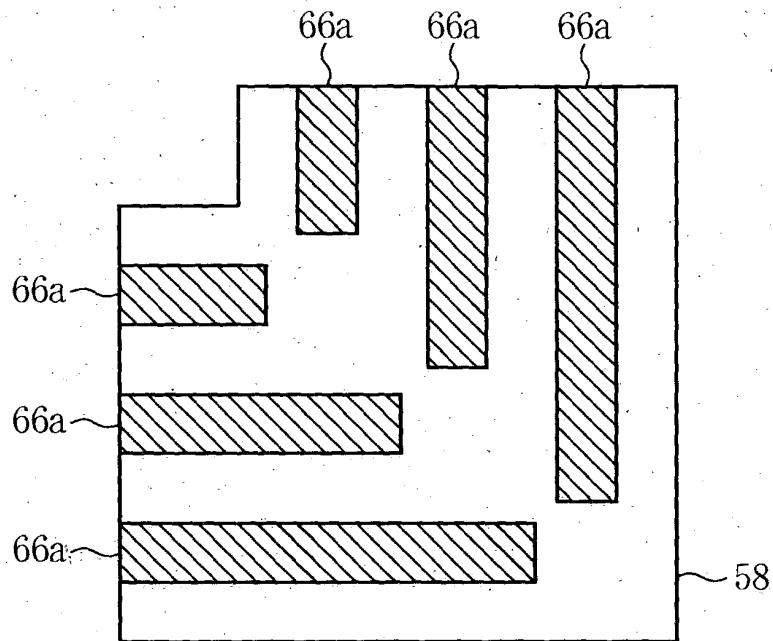
【図 2 4】

本発明の第 7 実施形態による半導体装置の構造を示す平面図



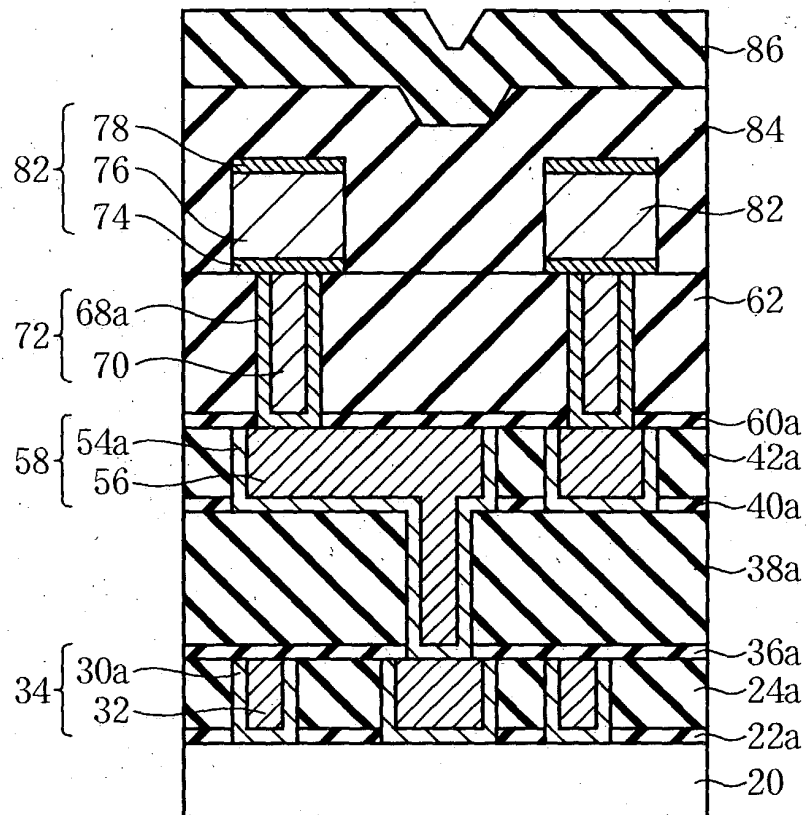
【図 2 5】

本発明の第 7 実施形態の変形例による半導体装置の
構造を示す平面図



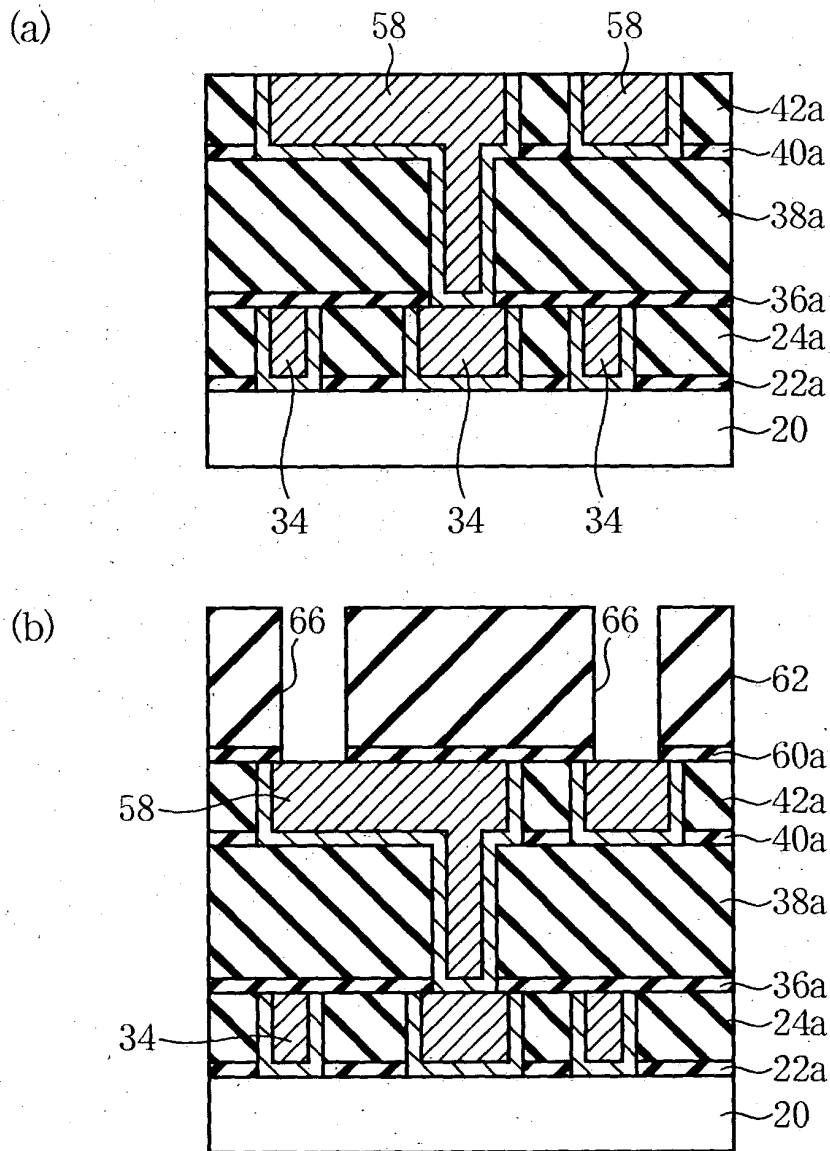
【図 26】

本発明の第8実施形態による半導体装置の構造を示す概略断面図



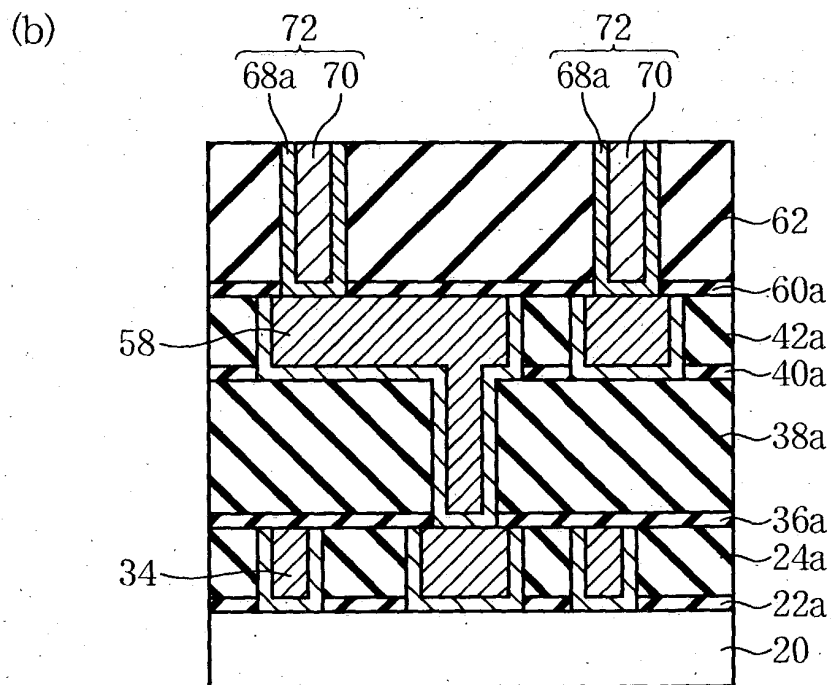
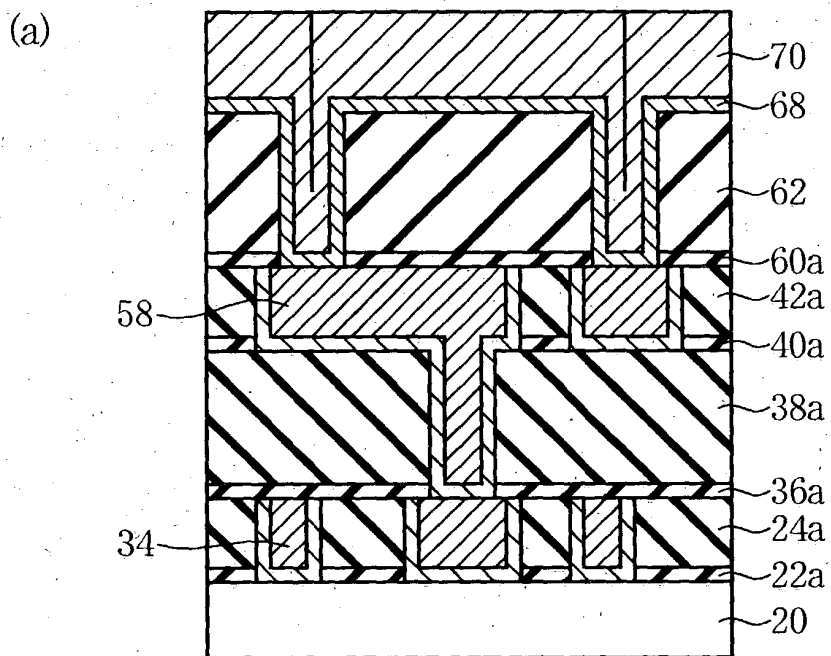
【図 2 7】

本発明の第 8 実施形態による半導体装置の製造方法を示す
工程断面図(その 1)



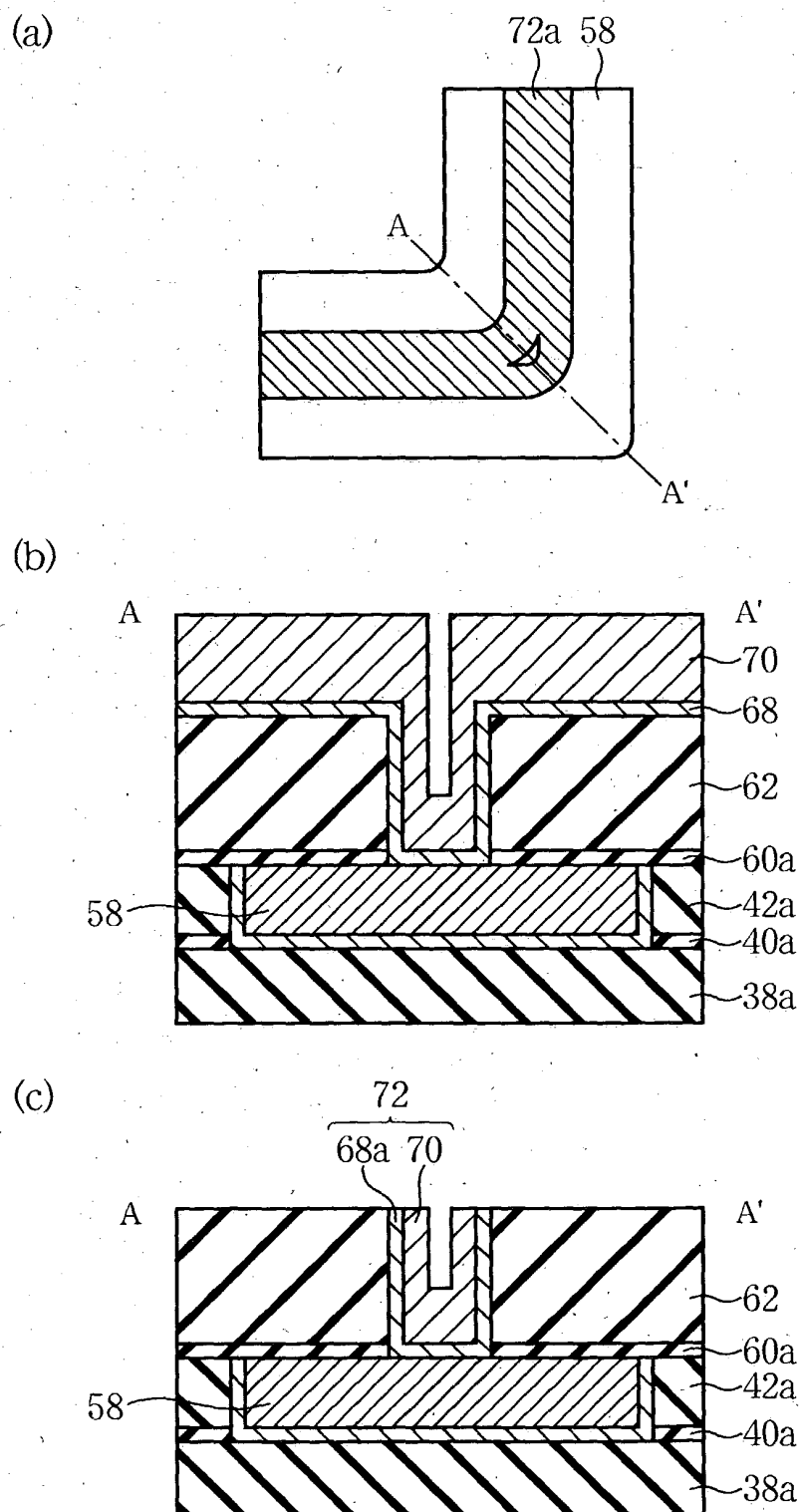
【図 2 8】

本発明の第 8 実施形態による半導体装置の製造方法を示す
工程断面図(その 2)



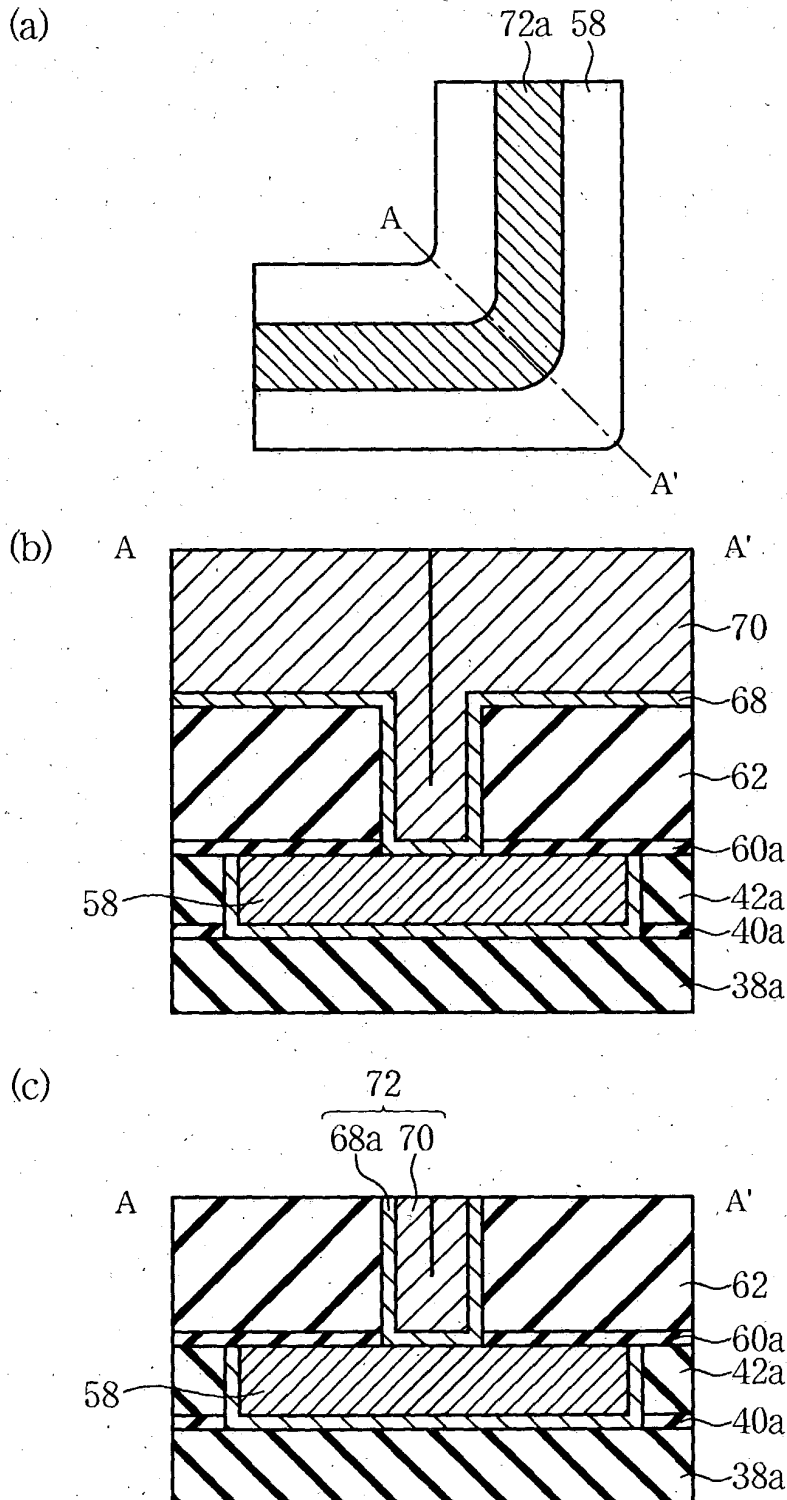
【図 29】

コンタクトプラグの埋め込み不良が生じる原因を説明する図



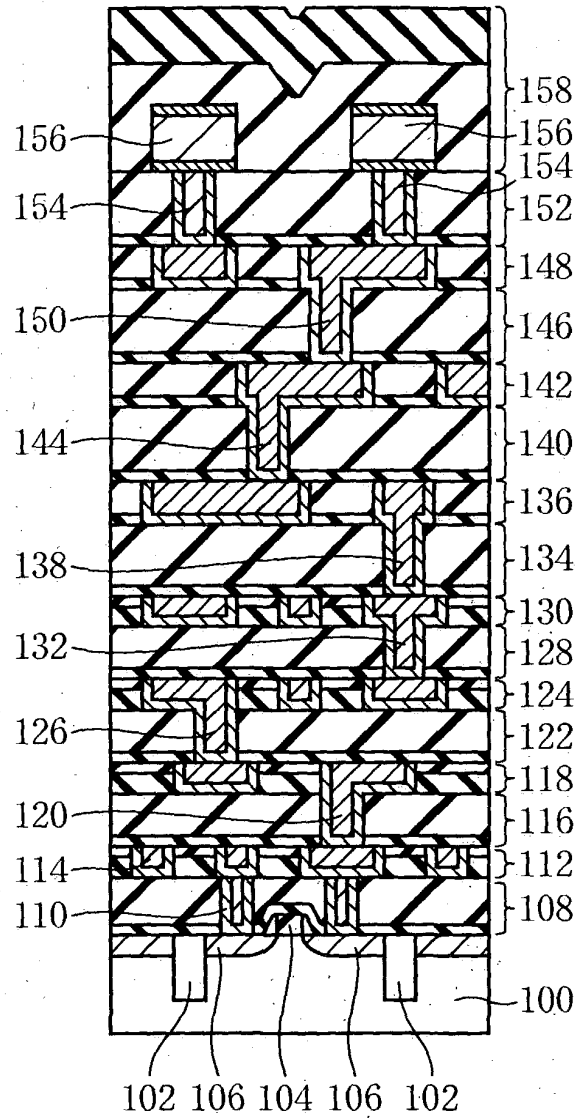
【図30】

コンタクトプラグの埋め込み不良を防止する製造工程上の
手段を説明する図



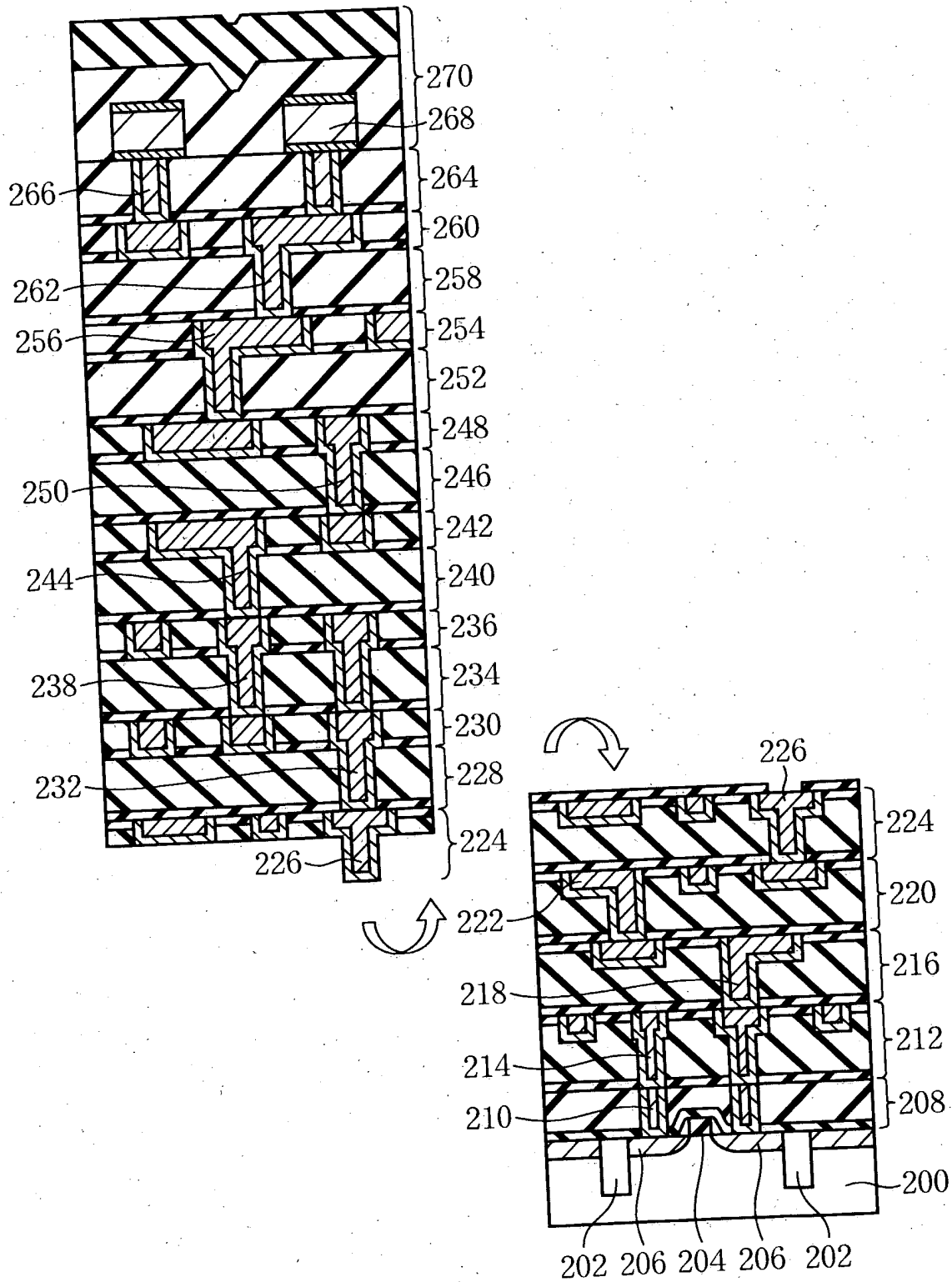
【図 3 1】

本発明の第 9 実施形態による半導体装置の構造を示す概略断面図



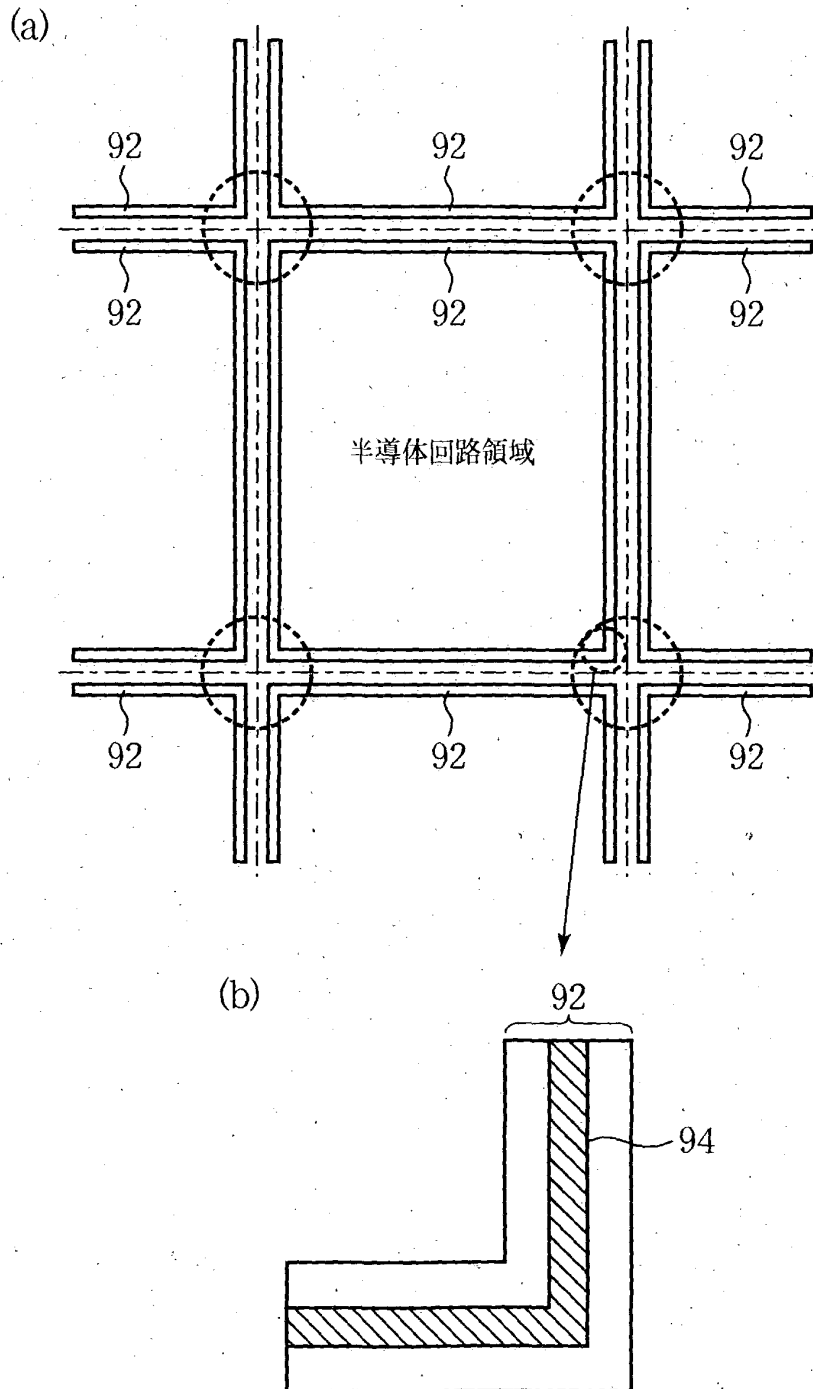
【図 3 2】

本発明の第 9 実施形態の他の例による半導体装置の
構造を示す概略断面図



【図 3 3】

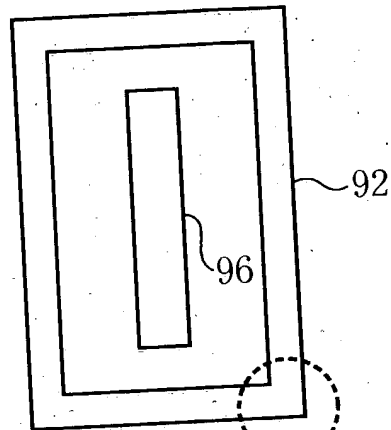
本発明の変形実施形態による半導体装置の
構造を示す平面図(その 1)



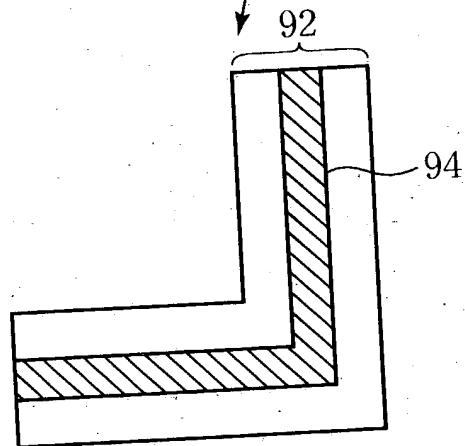
【図 34】

本発明の変形実施形態による半導体装置の
構造を示す平面図(その 2)

(a)



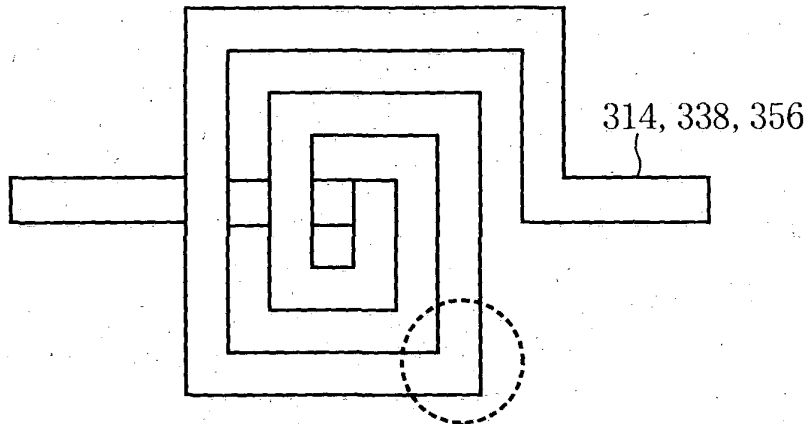
(b)



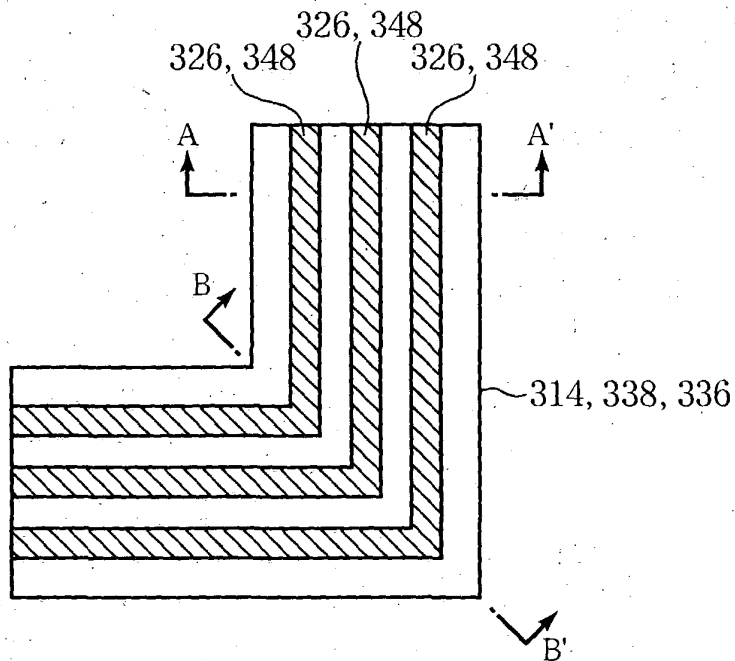
【図 3 5】

インダクタを有する従来の半導体装置の構造を示す平面図

(a)

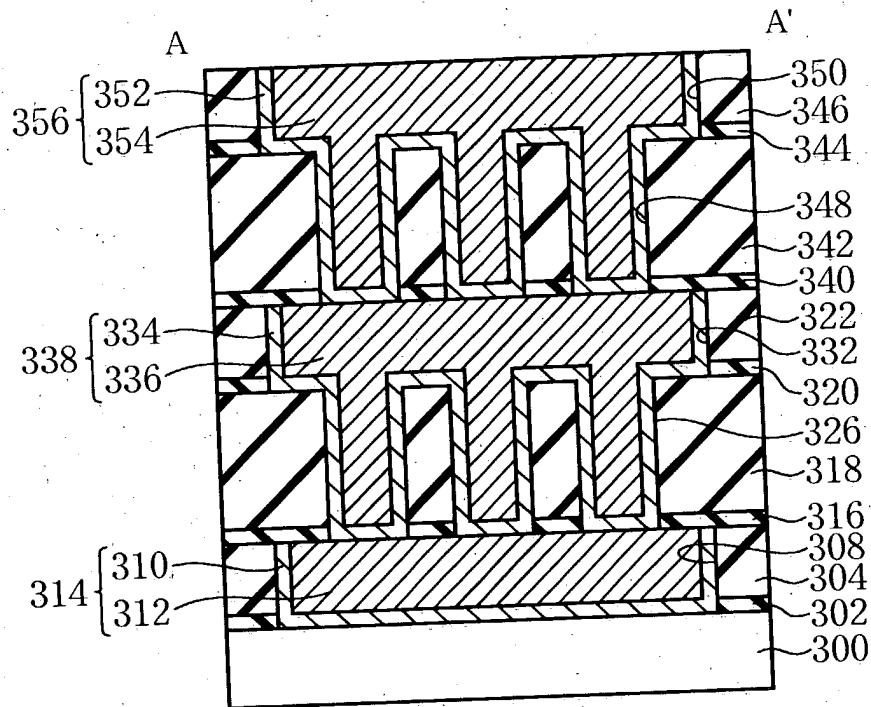


(b)



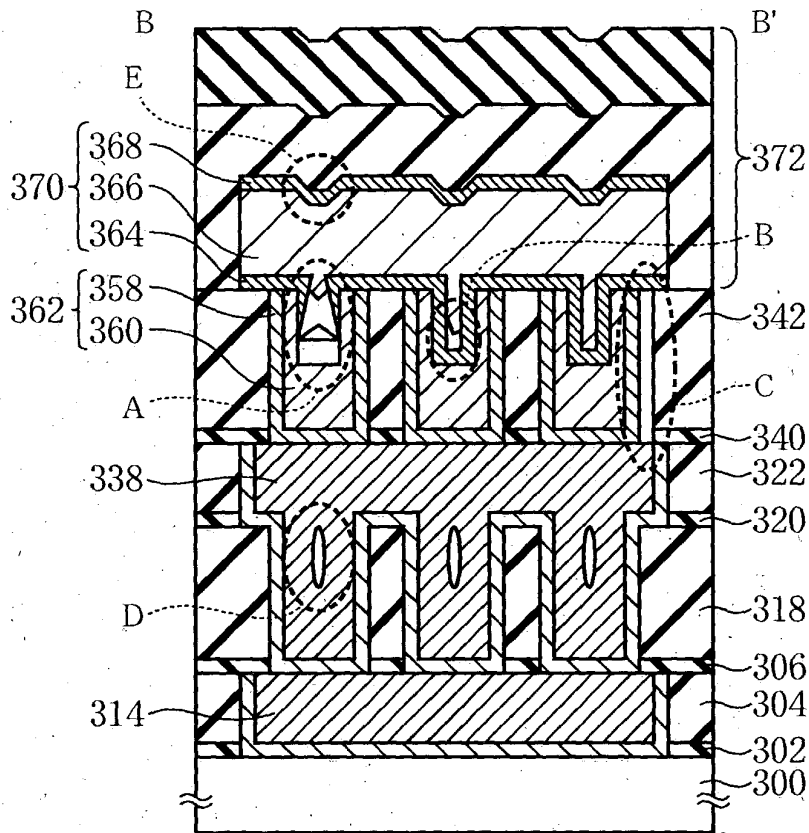
【図 36】

インダクタを有する従来の半導体装置の構造を示す概略断面図



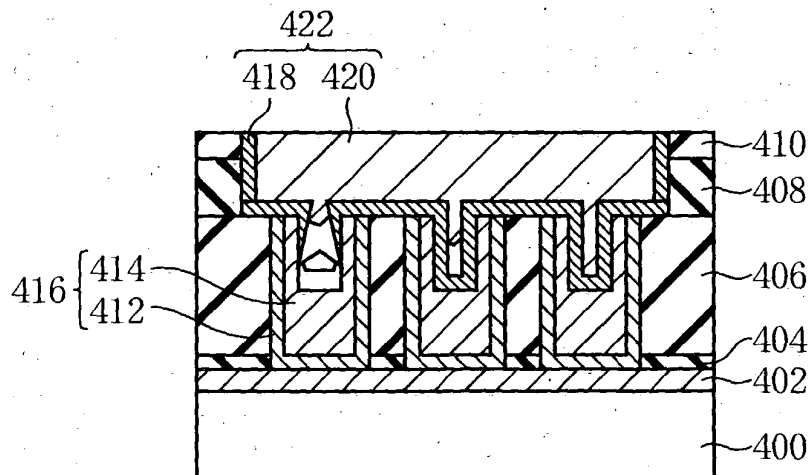
【図 3 7】

本願発明者が着想した新たな構造及びその課題を示す断面図



【図 3 8】

従来の半導体装置における課題を示す概略断面図



【書類名】 要約書

【要約】

【課題】 絶縁膜に形成された孔状パターンや溝状パターンに導電体が埋め込まれてなる構造を有する半導体装置において、埋め込み導電体の埋め込み不良やこれに伴う絶縁膜の亀裂を防止しうる半導体装置及びその製造方法を提供する。

【解決手段】 基板 2 0 上に形成され、少なくとも表面側に配線層 5 8 が埋め込まれた絶縁膜 4 0, 4 2 と、絶縁膜 4 2 上に形成された絶縁膜 6 0, 6 2 と、配線層 5 8 上の絶縁膜 6 0, 6 2 に形成され、孔状ビア 6 0 及び直角方向に屈曲する溝状のパターンを有する溝状ビア 6 6 a と、溝状ビア 6 0 及び溝状ビア 6 6 a に充填された埋め込み導電体 7 0, 7 2 a とを有する半導体装置において、溝状ビア 6 6 a の幅が孔状ビア 6 6 の幅以下になるように形成する。

【選択図】 図 4

出願人履歴情報

識別番号

[000005223]

1. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社